



SDI IP コアの利用者ガイド

インテル® Quartus® Prime 開発デザインスイートの更新情報: **19.1**

この翻訳版は参照用であり、翻訳版と英語版の内容に相違がある場合は、英語版が優先されるものとします。翻訳版は、資料によっては英語版の更新に対応していない場合があります。最新情報につきましては、必ず[英語版の最新資料](#)をご確認ください。



オンラインバージョン



フィードバック

UG-SDI1005

ID: **683587**

バージョン: **2020.08.20**

目次

1. SDI IP コアの概要.....	4
1.1. リリース情報.....	4
1.2. デバイスファミリーのサポート.....	5
1.3. 概要.....	5
1.4. リソース使用率.....	7
2. SDI IP コアのご利用にあたって.....	9
2.1. インテル FPGA IP コアのインストールとライセンス.....	9
2.1.1. Intel FPGA IP Evaluation Mode	9
2.2. IP Catalog とパラメーター・エディター.....	12
2.2.1. IP コアの生成 (インテル Quartus Prime スタンダード・エディション).....	12
2.2.2. SDI IP コアのパラメーター化.....	13
2.2.3. SDI IP コアのパラメーター.....	14
3. 機能の説明.....	16
3.1. トランスミッター.....	16
HD-SDI の LN 挿入.....	19
HD-SDI の CRC 生成と挿入.....	19
スクランブルと NRZI コーディング.....	19
トランシーバー・クロック.....	20
3.2. レシーバー.....	20
NRZI デコーディングとデスクランブル.....	22
ワード・アライメント.....	22
ビデオ・タイミング・フラグの抽出.....	23
RP168 スイッチング・コンプライアンス.....	23
HD-SDI の LN 抽出.....	24
HD-SDI の CRC チェック.....	24
トランシーバーへのアクセス.....	24
トランシーバー・クロック.....	25
3.3. トランシーバー.....	25
3.3.1. トランスミッターのクロック.....	26
3.3.2. レシーバーのクロック.....	29
3.3.3. トランスミッターのトランシーバー・インターフェイス.....	30
3.3.4. レシーバーのトランシーバー・インターフェイス.....	31
3.4. 着信 SDI ストリームへのロック.....	32
3.5. SDI における受信ビデオ・フォーマットの仕様.....	34
4. SDI IP コアの信号.....	36
4.1. SDI クロック信号.....	36
4.2. SDI インターフェイス信号.....	37
4.3. SDI ステータス信号.....	45
4.4. SDI トランシーバーのダイナミック・リコンフィグレーション信号.....	48
5. SDI IP コアのユーザーガイド・アーカイブ.....	51
6. SDI IP コアのユーザーガイド改訂履歴.....	52

A. 制約.....	55
A.1. タイミング・アナライザーでの制約の指定.....	55
A.1.1. Stratix IV デバイスを使用している SDI IP コアにおける制約.....	57
A.2. SDI ソフト・トランシーバーの制約.....	61
B. クロック.....	62
B.1. クロックのバージョン.....	62
C. 受信と再送信.....	63
C.1. ループバック FIFO バッファ.....	63

1. SDI IP コアの概要

SDI (シリアル・デジタル・インターフェイス) IP コアは、レシーバー、トランスミッター、または全二重 SDI を標準解像度 (SD)、高解像度 (HD)、または 3 ギガビット/秒 (3G) で実装します。SDI IP コアは、デュアル・スタンダード (HD-SDI と SD-SDI) およびトリプル・スタンダード (SD-SDI、HD-SDI、3G-SDI) をサポートします。これらのモードは、自動のレシーバーレートの検出を提供します。

注意: インテルでは、SDI IP コアのサポートを終了しています。この IP は、サポートなしで引き続き使用することが可能です。ただし、インテルでは、SDI II Intel® FPGA IP を使用し、最新の機能と継続的なサポートをご利用いただくことを推奨しています。

表 1. SDI IP コアの機能

機能	説明
サポート	- 複数の SDI 規格とビデオ・フォーマット - RP168 ビデオ・スイッチ・ライン要件
トランスミッター	- 巡回冗長検査 (CRC) のエンコーディング (HD のみ) - ライン番号 (LN) の挿入 (HD のみ) - ワード・スクランブル - トランスミッターのクロック・マルチプレクサー
レシーバー	- CRC のデコーディング (HD のみ) - LN の抽出 (HD のみ) - ビデオのタイミング信号のフレーミングと抽出 - ワードのアライメントとデスクランブル
IP Catalog	使いやすいパラメーター・エディター

関連情報

- [SDI II Intel FPGA IP User Guide](#)
- [SDI Audio Intel FPGA IP User Guide](#)

1.1. リリース情報

次の表に、このリリースの SDI IP コアに関する情報を示します。

表 2. リリース情報

項目	内容
バージョン	19.1
リリース日	2019 年 9 月
continued...	

Intel Corporation. 無断での引用、転載を禁じます。Intel、インテル、Intel ロゴ、その他のインテルの名称やロゴは、Intel Corporation またはその子会社の商標です。インテルは FPGA 製品および半導体製品の性能がインテルの標準保証に準拠することを保証しますが、インテル製品およびサービスは、予告なく変更される場合があります。インテルが書面にて明示的に同意する場合を除き、インテルはここに記載されたアプリケーション、または、いかなる情報、製品、またはサービスの使用によって生じるいっさいの責任を負いません。インテル製品の顧客は、製品またはサービスを購入する前、および、公開済みの情報を信頼する前には、デバイスの仕様を最新のバージョンにしておくことをお勧めします。

*その他の社名、製品名などは、一般に各社の表示、商標または登録商標です。

ISO
9001:2015
登録済

項目	内容
注文コード	IP-SDI
プロダクト ID	00AE
ベンダー ID	6AF7

インテルでは、この IP コアが前回のリリースに含まれている場合は、インテル® Quartus® Prime 開発ソフトウェアの現在のバージョンが各 IP コアの前回のバージョンをコンパイルすることを確認しています。この検証における例外は、*Serial Digital Interface (SDI) IP Core Release Notes* で報告されています。インテルでは、前回のリリースより古い IP コアのバージョンでのコンパイルは検証していません。

関連情報

- [Errata for SDI IP core in the Knowledge Base](#)
- [Serial Digital Interface \(SDI\) IP Core Release Notes](#)

1.2. デバイスファミリーのサポート

次の表は、SDI IP コアのデバイスサポート情報を示しています。

表 3. デバイスファミリーのサポート

デバイスファミリー	サポート
Arria® II GZ	最終
Arria V	最終
Cyclone® IV GX ⁽¹⁾	最終
Cyclone V	最終
Stratix® IV ⁽²⁾	最終
Stratix V ⁽²⁾	最終
他のデバイスファミリー	サポートなし

1.3. 概要

SMPTE (Society of Motion Picture and Television Engineers) は、SDI 規格を定義しています。この規格は、ビデオシステム設計者にビデオ制作施設の機器間のインターコネクトとして広く使用されています。

-
- (1) チャネル・リコンフィギュレーション・モードでのトランシーバーのダイナミック・コンフィギュレーションは、EP4CGX110 および EP4CGX150 デバイスでのデュアルおよびトリプル・スタンダードにはサポートされていません。代わりに、PLL リコンフィギュレーション・モードでの最終トランシーバー・ダイナミック・リコンフィギュレーションを使用します。
 - (2) SD-SDI モードで SDI IP コアを駆動する際に 27MHz しか利用できない場合は、追加の PLL で 67.5MHz のリファレンス・クロックを生成する必要があります。

SDI IP コアは、次の SDI データレートを処理します。

- *SMPTE259M-1997 10-Bit 4:2:2 Component Serial Digital Interface* で定義されている 270 メガビット/秒 (Mbps) SD-SDI
- *SMPTE292M-1998 Bit-Serial Digital Interface for High Definition Television Systems* で定義されている 1.5 ギガビット/秒 (Gbps) HD-SDI
- *SMPTE425M-AB 2006 3Gb/s Signal/Data Serial Interface- Source Image Format Mapping* で定義されている 3Gbps SDI
- *SMPTE372M-Dual Link 1.5Gb/s Digital Interface for 1920×1080 and 2048×1080 Picture Formats* で定義されている予備的なデュアルリンク SDI のサポート
- 270Mbps および 1.5Gbps SDI に向けたデュアル・スタンダード・サポート
- 270Mbps、1.5Gbps、3Gbps SDI に向けたトリプル・スタンダード・サポート
- SD-SDI、HD-SDI、および 3G-SDI に向けたトリプル・スタンダード・サポート
- *SMPTE425M* Level A サポート (ソース画像の直接フォーマット)
- *SMPTE425M* Level B サポート (デュアル・リンク・マッピング)

表 4. SDI 規格のサポート

SD-SDI を除くすべての SDI 規格には、トランシーバーベースのデバイスが必要です。
次の表に、さまざまな FPGA デバイスにおける SDI 規格のサポートを示します。

デバイスファミリー	SDI 規格					
	SD-SDI	HD-SDI	3G-SDI	HD-SDI デュアルリンク ⁽³⁾	デュアル・スタンダード	トリプル・スタンダード
Arria II GX	あり	あり	あり	あり	あり	あり
Arria V	あり	あり	あり	あり	あり	あり
Stratix IV ⁽⁴⁾	あり	あり	あり	あり	あり	あり
Stratix V ⁽⁴⁾	あり	あり	あり	あり	あり	あり
Cyclone IV GX (EP4CGX15、EP4CGX30)	あり	—	—	—	—	—
Cyclone IV GX (EP4CGX30 (F484)、EP4CGX50、EP4CGX75、EP4CGX110、EP4CGX150)	あり	あり	あり	あり	あり	あり
Cyclone V ⁽⁵⁾	あり	あり	あり	あり	あり	あり

- ⁽³⁾ HD-SDI デュアルリンクは、リンク A とリンク B の間で最大 40ns のタイミング差をサポートし、SMPTE372M の要件を満たします。
- ⁽⁴⁾ トランシーバーを備える Stratix IV および Stratix V のバリエーションのみが、すべての SDI レートをサポートします。
- ⁽⁵⁾ 必要なデータレートが高すぎるため、3G-SDI スタンダードは、トランシーバーのスピードグレード 7 の Cyclone V デバイスではサポートされません。

1.4. リソース使用率

次の表は、SDI IP コアのさまざまなパラメーターの一般的なリソース使用率を示しています。これは、インテル Quartus Prime スタンダード・エディション・ソフトウェアでの場合になります。

注意: 特に指定されていない限り、IP コアのリソース使用率は双方向インターフェイスの設定に基づいています。

表 5. リソース使用率

デバイス	ビデオ規格	LE	組み合わせ ALUT	ロジックレジスター
Arria II GX	SD-SDI	—	839	680
	HD-SDI	—	978	833
	3G HD-SDI	—	1,259	1,015
	デュアルリンク HD-SDI	—	2,029	1,711
	デュアル・スタンダード・レシーバー	—	1,257	926
	デュアル・スタンダード・トランスミッター	—	267	180
	トリプル・スタンダード	—	1,891	1,305
Arria V	SD-SDI	—	1,189	920
	HD-SDI	—	1,185	910
	3G HD-SDI	—	1,444	1,142
	デュアルリンク HD-SDI	—	2,446	1,880
	デュアル・スタンダード・レシーバー	—	1,605	1,175
	デュアル・スタンダード・トランスミッター	—	349	269
	トリプル・スタンダード	—	2,273	1,677
Cyclone IV GX (EP4CGX15、 EP4CGX30)	SD-SDI	916		
Cyclone IV GX (EP4CGX50、 EP4CGX75、 EP4CGX110、 EP4CGX150)	SD-SDI	—	1,129	671
	HD-SDI	—	1,164	670
	3G HD-SDI	—	1,409	790
	デュアルリンク HD-SDI	—	2,515	1,467
	デュアル・スタンダード・レシーバー	—	1,479	755
	デュアル・スタンダード・トランスミッター	—	364	229
	トリプル・スタンダード	—	2,235	1,121
Cyclone V	SD-SDI	—	1,140	832
	HD-SDI	—	1,122	808
	3G HD-SDI	—	1,402	997
continued...				

デバイス	ビデオ規格	LE	組み合わせ ALUT	ロジックレジスター
	デュアルリンク HD-SDI	—	2,351	1,696
	デュアル・スタンダード・レシーバー	—	1,539	1,042
	デュアル・スタンダード・トランスミッター	—	352	260
	トリプル・スタンダード	—	2,217	1,508
Stratix IV	SD-SDI	—	839	680
	HD-SDI	—	978	833
	3G HD-SDI	—	1,259	1,015
	デュアルリンク HD-SDI	—	2,029	1,711
	デュアル・スタンダード・レシーバー	—	1,257	926
	デュアル・スタンダード・トランスミッター	—	267	180
	トリプル・スタンダード	—	1,891	1,305
Stratix V	SD-SDI	—	913	707
	HD-SDI	—	955	703
	3G HD-SDI	—	1,126	823
	デュアルリンク HD-SDI	—	2,049	1,522

2. SDI IP コアのご利用にあたって

2.1. インテル FPGA IP コアのインストールとライセンス

インテル Quartus Prime 開発ソフトウェアのインストールには、インテル FPGA IP ライブラリーが含まれています。このライブラリーでは、追加ライセンスが不要な本番での使用に役立つ IP コアを多数提供しています。一部のインテル FPGA IP コアには、本番での使用に別途ライセンスの購入が必要です。Intel FPGA IP Evaluation Mode を使用すると、ライセンス取得が必要なインテル FPGA IP コアをシミュレーションおよびハードウェアで評価してから、IP コアの完全な本番向けライセンスの購入を決定することができます。ハードウェア・テストを完了し、本番で IP を使用する準備が整った段階で、ライセンス取得が必要なインテル IP コアの完全な本番向けライセンスを購入します。

インテル Quartus Prime 開発ソフトウェアは、デフォルトで IP コアを次の位置にインストールします。

表 6. IP コアのインストール位置

位置	ソフトウェア	プラットフォーム
<drive>:\intelFPGA\quartus\ip\altera	インテル Quartus Prime スタンダード・エディション	Windows
<home directory>:/intelFPGA/quartus/ip/altera	インテル Quartus Prime スタンダード・エディション	Linux

注意: インテル Quartus Prime 開発ソフトウェアは、インストール・パスのスペースをサポートしていません。

2.1.1. Intel FPGA IP Evaluation Mode

無償の Intel FPGA IP Evaluation Mode を使用すると、ライセンスの取得が必要なインテル FPGA IP コアを購入する前に、それらをシミュレーションとハードウェアで評価することができます。Intel FPGA IP Evaluation Mode では、次の評価をサポートしています。その際に、追加ライセンスは不要です。

- 許可されているインテル FPGA IP コアのシステムでの動作シミュレーション
- IP コアの機能、サイズ、スピードの迅速かつ容易な検証
- IP コアを含むデザインに向けた時間制限付きデバイス・プログラミング・ファイルの生成
- IP コアとのデバイスのプログラミング、およびハードウェアでのデザインの検証

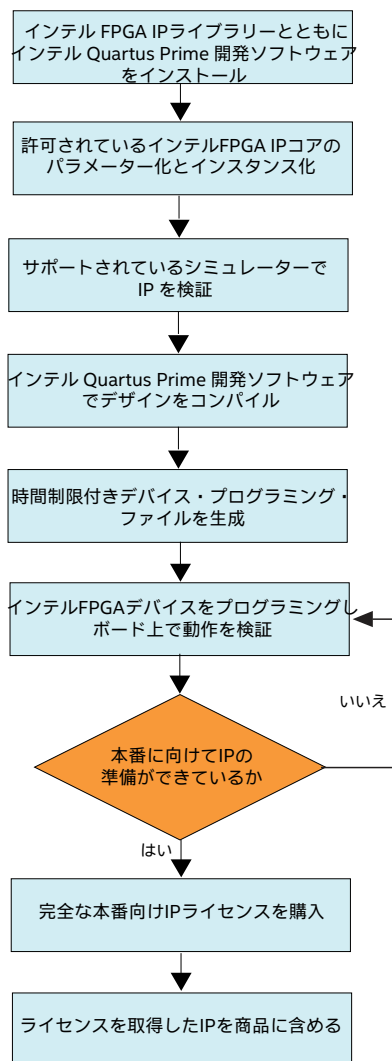
Intel FPGA IP Evaluation Mode では、次の動作モードをサポートしています。

- **Tethered** - ライセンスの取得が必要なインテル FPGA IP を含むデザインを無期限に実行することができます。これには、ボードとホスト・コンピューター間の接続を使用します。テザーモードでは、JTAG (シリアル・ジョイント・テスト・アクション・グループ) ケーブルの接続がボードの JTAG ポートとホスト・コンピューターとの間に必要です。ホスト・コンピューターでは、インテル Quartus Prime の Programmer をハードウェア評価期間中に実行します。Programmer には、インテル Quartus Prime 開発ソフトウェアの最小のインストールのみが必要で、インテル Quartus Prime のライセンスは必要ありません。ホスト・コンピューターでは、JTAG ポートを介して周期的な信号をデバイスに送信することにより、評価時間を制御します。デザインのライセンスが必要な IP コアのすべてがテザーモードをサポートしている場合、評価時間はいずれかの IP コアの評価期限に達するまでになります。すべての IP コアで無制限の評価時間をサポートしている場合は、デバイスはタイムアウトしません。
- **Untethered** - ライセンスが必要な IP を含むデザインを一定時間実行することができます。インテル Quartus Prime 開発ソフトウェアを実行しているホスト・コンピューターからデバイスが切断された場合、IP コアは非テザーモードに戻ります。また、デザインのライセンスが必要な IP コアのいずれかがテザーモードをサポートしていない場合に、IP コアは非テザーモードに戻ります。

デザインのライセンスが必要なインテル FPGA IP のいずれかの評価時間が終了すると、デザインは機能を停止します。Intel FPGA IP Evaluation Mode を使用している IP コアはすべて、デザインのいずれかの IP コアがタイムアウトになると同時にタイムアウトします。評価時間が終了すると、ハードウェアの検証を続ける前に FPGA デバイスを再プログラミングする必要があります。IP コアを本番環境でも使用するには、該当する IP コアの完全な本番向けライセンスを購入してください。

ライセンスを購入し、完全な本番向けのライセンスキーを生成後に、制限のないデバイス・プログラミング・ファイルを生成することができます。Intel FPGA IP Evaluation Mode では、コンパイラーは時間制限付きのデバイス・プログラミング・ファイル (<project name> _time_limited.sof) のみを生成します。このファイルは、制限時間になると使用できなくなります。

図 -1: Intel FPGA IP Evaluation Mode のフロー



注意: パラメーター化の手順および実装の詳細については、各 IP コアのユーザーガイドを参照してください。

インテルでは、IP コアのライセンスをシートごとの恒久ベースで提供しています。ライセンス料には、初年度の保守とサポートが含まれています。保守契約を更新すると、次年度以降もアップデート、バグ修正、および技術サポートを受けることができます。本番向けのライセンスが必要な Intel FPGA IP コアの場合は、完全な本番向けのライセンスを購入する必要があります。その後、プログラミング・ファイルを生成することで、それを無期限に使用することができます。Intel FPGA IP Evaluation Mode では、コンパイラは時間制限付きのデバイス・プログラミング・ファイル (<project name>_time_limited.sof) のみを生成します。このファイルは、制限時間になると使用できなくなります。本番向けのライセンスキーを取得するには、[セルフサービス・ライセンス・センター](#)にアクセスしてください。

[Intel FPGA Software License Agreements](#) では、ライセンスのある IP コア、インテル Quartus Prime 開発ソフトウェア、およびライセンスのないすべての IP コアのインストールと使用について管理しています。

関連情報

- [Intel FPGA Licensing Support Center](#)
- [Introduction to Intel FPGA Software Installation and Licensing](#)

2.2. IP Catalog とパラメーター・エディター

IP Catalog には、プロジェクトで使用できる IP コアが表示されます。これには、インテル FPGA IP や IP Catalog の検索パスに追加されている他の IP が含まれます。IP Catalog の次の機能を使用し、IP コアの検索およびカスタマイズを行います。

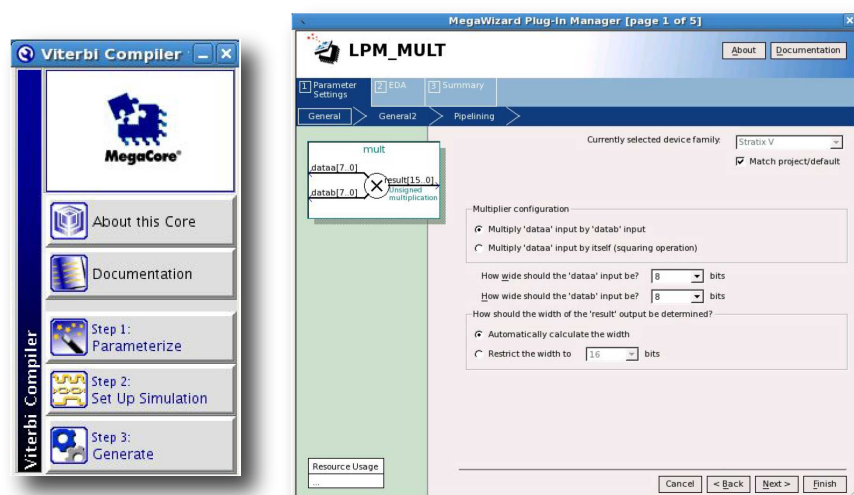
- IP Catalog を **Show IP for active device family** または **Show IP for all device families** でフィルターします。プロジェクトを開いていない場合は、IP Catalog で **Device Family** を選択します。
- 検索フィールドを使用し、IP Catalog にある IP コアの完全な、または部分的な名称を検索します。
- IP Catalog で IP コアの名称を右クリックすると、サポートされるデバイスの詳細の表示や、IP コアのインストール・フォルダーを開いたり、IP の資料へのリンクを参照することができます。
- **Search for Partner IP** をクリックし、ウェブサイト上のパートナー IP の情報にアクセスします。

パラメーター・エディターは、インテル Quartus Prime スタンダード・エディション・プロジェクトの IP バリエーションに対してトップレベルの Quartus IP ファイル (.qip) を生成します。これらのファイルは、プロジェクトの IP のバリエーションを表し、パラメーター化の情報を格納します。

2.2.1. IP コアの生成 (インテル Quartus Prime スタンダード・エディション)

この項では、インテル Quartus Prime スタンダード・エディションのソフトウェアでレガシー・パラメーター・エディターを使用して行う IP バリエーションのパラメーター化と生成について説明します。

図 -2: レガシー・パラメーター・エディター



注意: レガシー・パラメーター・エディターは、インテル Quartus Prime プロ・エディションのソフトウェアとは異なる出力ファイル構造を生成します。

1. IP Catalog (**Tools > IP Catalog**) で、カスタマイズする IP コアの名前を検索してダブルクリックします。パラメーター・エディターが表示されます。
2. IP バリエーションのトップレベル名と出力 HDL のファイルタイプを指定します。この名前により、プロジェクト内の IP コアのバリエーションのファイルを識別します。**OK** をクリックします。IP バリエーションの名前またはパスにスペースを含めないでください。
3. パラメーター・エディターで、IP バリエーションにパラメーターとオプションを指定します。特定の IP コアのパラメーターの詳細に関しては、お使いの IP コアのユーザーガイドを参照してください。
4. **Finish** または **Generate** (パラメーター・エディターのバージョンによって異なる) をクリックします。パラメーター・エディターは、指定されている内容に基づき IP バリエーションのファイルを生成します。生成完了時にプロンプトが表示されたら、**Exit** をクリックします。パラメーター・エディターはトップレベルの .qip ファイルを現在のプロジェクトに自動的に追加します。

注 インテル Arria® 10 デバイスよりも前にリリースされたデバイスの場合は、生成される .qip
意: および .sip ファイルをプロジェクトに追加し、IP とプラットフォーム・デザイナー・システムを表す必要があります。レガシー・パラメーター・エディターで生成された IP バリエーションをプロジェクトに手動で追加するには、**Project > Add/Remove Files in Project** をクリックし、IP バリエーションの .qip ファイルを追加します。

2.2.2. SDI IP コアのパラメーター化

SDI IP コアをパラメーター化するには、次の手順を実行します。

1. ビデオ規格を選択します。
2. **Bidirectional**、**Transmitter**、または **Receiver** のインターフェイス方向を選択します。
3. **Transceiver Options** タブをクリックします。
4. **Transceiver and Protocol** で、**Generate transceiver and protocol blocks** をクリックします。
5. 開始チャンネル番号を選択します。
6. EP4CGX110 または EP4CGX150 デバイスを Cyclone IV GX に選択し、デュアルおよびトリプル・スタンダードを使用している場合は、**Use PLL reconfiguration for transceiver dynamic reconfiguration** をオンにします。
注意: 他の Cyclone IV GX デバイスでこのオプションをオンにすることは可能ですが、推奨されていません。
7. デザインで TX ブロックに 2 つのシリアル入カクロックが必要な場合は、**Enable TX PLL select for 1/1.000 and 1/1.001 data rate reconfiguration** をオンにします。
注意: この機能は、Arria II および Stratix IV GX デバイスファミリーでのみ利用することができます。
8. **Receiver/Transmitter Options** タブをクリックします。
9. 必要なレシーバーオプションをオンにします。
10. 必要なトランスミッター・オプションをオンにします。
11. **Next** をクリックします。

関連情報

SDI IP コアのパラメーター (14 ページ)

2.2.3. SDI IP コアのパラメーター

SDI のパラメーターは、IP Catalog を使用して設定することができます。

パラメーター		値	説明
Protocol Options	Video standard	SD-SDI、HD-SDI、3G-SDI、HD-SDI dual link, dual or triple standard SDI	ビデオ規格を設定します。 - SD-SDI - オーバーサンプリング・ロジックが含まれます。 - HD-SDI - LN の挿入および抽出と CRC の生成および抽出ブロックに切り替わります。SD-SDI を選択すると、LN の挿入および抽出と CRC の生成および抽出ブロックから切り替わります。 - Dual or triple rate SDI - SD-SDI および HD-SDI 規格の両方の処理ブロックが含まれます。さらに、バイパスパスのロジック、および入力規格を自動的に切り替えるロジックが含まれます。
	Interface settings	Birectional, Receiver, Transmitter	トランシーバーまたはプロトコルブロックの一方、もしくは両方を選択します。 GX 以外のデバイスを選択している場合は、SD-SDI プロトコルブロックのみが許可されます。 HD-SDI または 3G-SDI のプロトコルブロックを生成する場合は、GX デバイスを選択する必要があります。
Transceiver Option	Transceiver and Protocol	Generate transceiver and protocol blocks, generate transceiver block only, または generate protocol block only	トランシーバーまたはプロトコルブロックの一方、もしくは両方を選択します。 GX 以外のデバイスを選択している場合は、SD-SDI プロトコルブロックのみが許可されます。 HD-SDI または 3G-SDI のプロトコルブロックを生成する場合は、GX デバイスを選択する必要があります。
	Use soft logic for transceiver	On または Off	Stratix IV トランシーバーを使用するのではなく、ソフトロジックを使用してトランシーバー・ロジックを実装します。SD-SDI 専用です。 例えば、デバイスのハード・トランシーバーが不足している場合は、ソフトロジックで機能を実装することができます。デバイスに予備のトランシーバーがある場合は、それらを使用することをお勧めします。
	Starting channel number	0, 4, 8, ..., 156	デュアルまたはトリプル・スタンダード専用。各デュアルまたはトリプル・スタンダード SDI には、一意の開始チャンネル番号が必要です。 注意: このパラメーターは、Arria V、Cyclone V、および Stratix V デバイスには適用されません。
	Use PLL reconfiguration for transceiver dynamic reconfiguration	On または Off	デュアルまたはトリプル・スタンダードで、Cyclone IV GX デバイス専用。EP4CGX110 または EP4CGX150 デバイスを選択している場合は、このオプションをオンにする必要があります。
	Enable TX PLL select for 1/1.000 and 1/1.001 data rate reconfiguration	On または Off	トランスミッターのシリアル・リファレンス・クロックの追加の入力ポートを有効にします。 注意: Arria II および Stratix IV デバイスでのみ利用することができます。
Receiver/ Transmitter Options	CRC error output	On または Off	- On: CRC の監視 (SD-SDI モードには適用されません) - Off: CRC の監視なし (ロジックを保存)
	SDI synchronization output	On または Off	同期出力を提供します。
	Tolerance to consecutive missed EAV/SAV	0, 1, 2, ..., 15	レシーバープロトコル専用。着信ビデオで許容される連続する欠落 EAV の数を設定することができます。レシーバーコアでより多くのエラーを許容する場合は、より大きな値を指定します。

continued...

パラメーター		値	説明
			レシーバーコアでエラーを許容しない場合は、このオプションを 0 に設定します。
	Two times oversample mode	On または Off	HD-SDI トランスミッター専用。オンにすると、トランシーバーが 2 倍の速度で動作し、ジッターのパフォーマンスが向上します。 148.5MHz の tx_serial_refclk リファレンス・クロックが必要です。

3. 機能の説明

SDI IP コアは、トランスミッター、レシーバー、または全二重インターフェイスを実装します。SDI IP コアは、次のコンポーネントで構成されています。

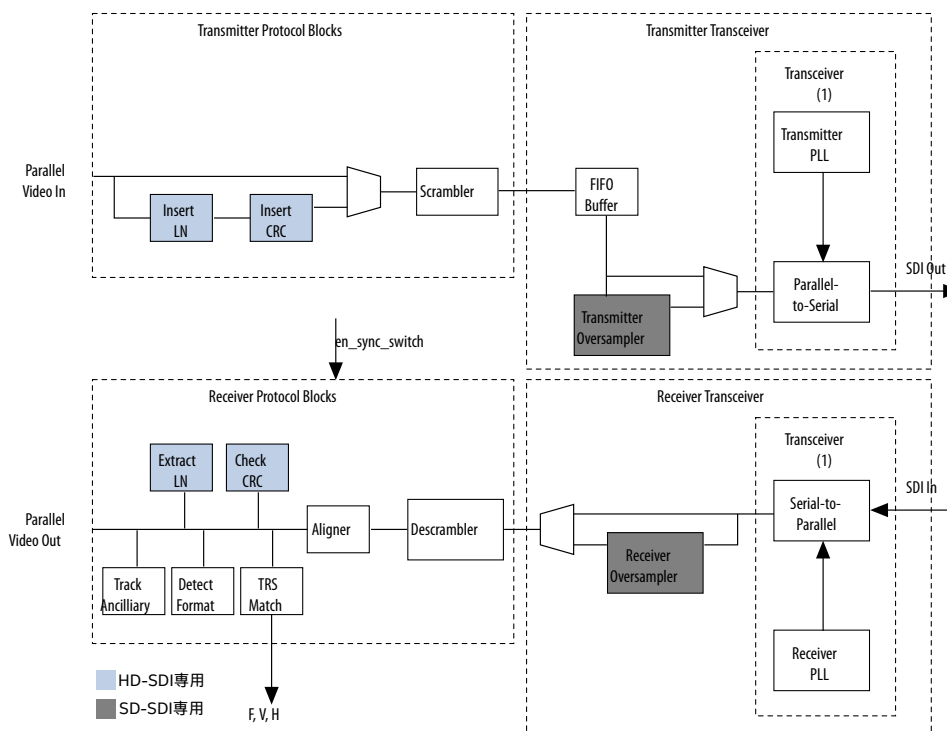
- プロトコルブロック - トランスミッターまたはレシーバー
- トランシーバー
- トランシーバー・コントローラー

パラメーター・エディターでは、デザインにプロトコル、トランシーバー、または複合ブロックのいずれかを指定することができます。例えば、デザインに複数のプロトコルブロックがある場合は、ブロックを 1 つのトランシーバーに多重化することができます。

トランシーバーは、ソフトロジック実装または GX トランシーバーのいずれかにすることができます。

図 -3: SDI IP コアのブロック図

次の図は、SDI IP コアのブロック図を示しています。



3.1. トランスミッター

トランスミッターには、次の要素が含まれます。

Intel Corporation.無断での引用、転載を禁じます。Intel、インテル、Intel ロゴ、その他のインテルの名称やロゴは、Intel Corporation またはその子会社の商標です。インテルは FPGA 製品および半導体製品の性能がインテルの標準保証に準拠することを保証しますが、インテル製品およびサービスは、予告なく変更される場合があります。インテルが書面にて明示的に同意する場合を除き、インテルはここに記載されたアプリケーション、または、いかなる情報、製品、またはサービスの使用によって生じるいっさいの責任を負いません。インテル製品の顧客は、製品またはサービスを購入する前、および、公開済みの情報を信頼する前には、デバイスの仕様を最新のバージョンにしておくことをお勧めします。

*その他の社名、製品名などは、一般に各社の表示、商標または登録商標です。

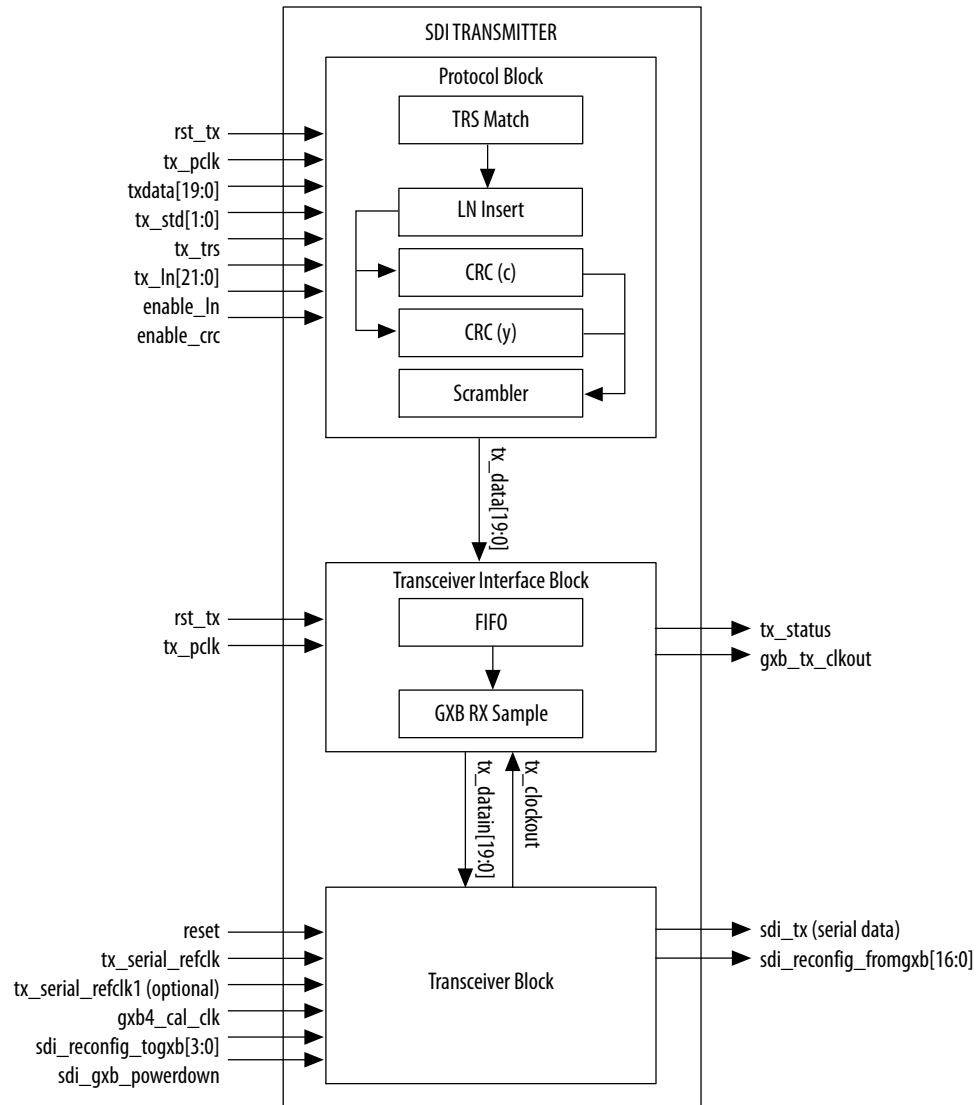
- SD/HD-SDI トランスミッター・スクランブラー
- HD-SDI トランスミッター・データ・フォーマッター (CRC および LN 挿入を含む)
- トランシーバー、プラス制御、およびマルチレート (デュアルまたはトリプル・スタンダード) SD/HD-SDI トランスミッターの動作を備えるインターフェイス・ロジック
- トランスミッター・クロック・マルチプレクサー (オプション)

トランスミッターは、次の機能を実行します。

- HD-SDI の LN 挿入
- HD-SDI の CRC 生成と挿入
- クロックイネーブル信号の生成
- スクランブルと非ゼロ復帰反転 (NRZI) コーディング
- トランスミッター・ブロック内の 2 つのリファレンス・クロック信号間の内部切り替え。この機能はオプションであり、Arria II GZ および Stratix IV GX でのみ利用可能です。

次の図は、SDI トランスミッターのトップレベルのブロック図を示しています。

図 -4: SDI トランスミッターのブロック図



HD-SDI の場合、トランスミッターは 20 ビットの平行・ビデオ・データを受け入れます。SD-SDI の場合は 10 ビットの平行データです。

表 7. サポートされるビデオ規格における txdata のビット割り当て

次の表は、txdata のビットの割り当てを示しています。

txdata	SD-SDI	HD-SDI	3G-SDI Level A	3G-SDI Level B
[19:10]	未使用	Y	Y	Cb、Y、Cr、Y マルチプレクス (リンク A)
[9:0]	Cb、Y、Cr、Y マルチプレクス	C	C	Cb、Y、Cr、Y マルチプレクス (リンク B)

HD-SDI の動作の場合、現在のビデオライン番号が各ラインの適切なポイントに挿入されます。CRC も計算され、ルーマチャネルとクロマチャネルに挿入されます。

パラレルビデオデータは、SDI の仕様に従いスクランブルされ、NRZI でエンコードされます。

トランシーバーは、エンコードされているパラレルデータを高速シリアル出力に変換します (パラレルからシリアルへの変換)。

HD-SDI の LN 挿入

SMPTE292M のセクション 5.4 では、各 HD-SDI ビデオラインに含まれる 2 ワードの形式を定義しています。これは、現在のライン番号を示すものです。HD-SDI の LN 挿入モジュールは、下位 11 ビットの tx_ln を取得してフォーマットし、出力データに 2 ワードとして挿入します。HD-SDI の LN 挿入モジュールは、現在のライン番号を入力として受け入れます。

LN ワード (LN0 および LN1) は、EAV TRS シーケンスの「XYZ」ワードに続く 2 つのワードを上書きします。同じ値がルーマチャネルとクロマチャネルに含まれます。LN を正しく挿入するには、EAV TRS および SAV TRS の両方の最初のワードに tx_trs 信号をアサートする必要があります (3-47 ページの図 3-31 および 3-48 ページの図 3-32 を参照してください)。

注意: システムがライン番号を認識していない場合は、ロジックを実装して出力ビデオフォーマットを検出し、現在のラインを特定することができます。この機能は、この SDI MegaCore ファンクションの範囲外です。

HD-SDI の CRC 生成と挿入

SMPTE292M のセクション 5.5 では、各 HD-SDI ビデオラインのクロマチャネルとルーマチャネルに含まれる CRC を定義しています。HD-SDI の CRC モジュールは、必要な CRC を生成してフォーマットし、出力データに挿入します。

HD-SDI の CRC モジュールは、CRC の計算に含める必要があるワードを識別し、ワードの挿入が必要な出力データの位置を決定します。フォーマットされている CRC データワード (ルーマチャネルの場合は YCR0 と YCR1、クロマチャネルの場合は CCR0 と CCR1) は、EAV の後のライン番号ワードに続く 2 つのワードを上書きします。このモジュールは、ルーマチャネルとクロマチャネルに対して個別の計算を提供します。

モジュールは、アクティブなデジタルラインのすべてのワードに対して CRC を計算します。これは、最初のアクティブなワードラインから始まり、ライン番号の最後のワード (LN1) で終わります。CRC の初期値は 0 に設定されており、その後、多項式ジェネレーターの方程式 $CRC(X) = X^{18} + X^5 + X^4 + 1$ が適用されます。

HD-SDI の CRC モジュールは、出力データの各ビットに多項式ジェネレーターの方程式を繰り返し適用することにより、CRC の計算を実装します。その際は、LSB が最初に処理されます。

CRC を正しく生成および挿入するには、EAV TRS および SAV TRS の両方の最初のワードに tx_trs 信号をアサートする必要があります (3-47 ページの図 3-31 および 3-48 ページの図 3-32 を参照してください)。

スクランブルと NRZI コーディング

SMPTE292M のセクション 5 および SMPTE292M のセクション 7 では、SDI と HD-SDI の両方に使用される共通のチャネル・コーディングを定義しています。このチャネル・コーディングは、スクランブル関数 ($G1(X) = X^9 + X^4 + 1$) とそれに続く NRZI エンコーディング ($G2(X) = X + 1$) で構成されます。スクランブル・モジュールは、このチャネル・コーディングを実装します。モジュールをコンフィグレーションすることにより、10 ビットまたは 20 ビットのパラレルデータを処理することができます。

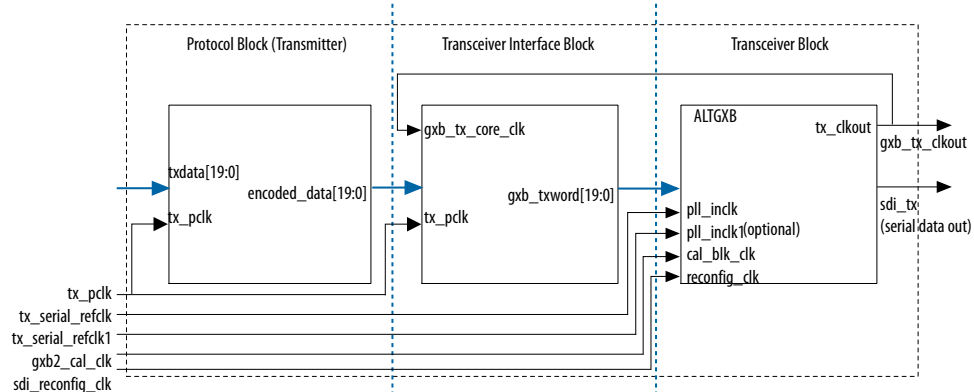
スクランブル・モジュールは、出力データの各ビットにスクランブルと NRZI エンコーディングのアルゴリズムを繰り返し適用し、チャンネル・コーディングを実装します。その際は、LSB が最初に処理されます。SMPTE259M の図 C.1 は、アルゴリズムがどのように実装されるかを示しています。

トランシーバー・クロック

tx_serial_refclk1 はオプションのポートで、パラメーター・エディターで **Enable TX PLL select for 1/1.000 and 1/1.001 data rate reconfiguration** をオンにすると有効になります。

図 -5: トランスミッターのクロックスキーム

この表は、トランスミッターのクロックスキームを示しています。



3.2. レシーバー

レシーバーには、次の要素が含まれます。

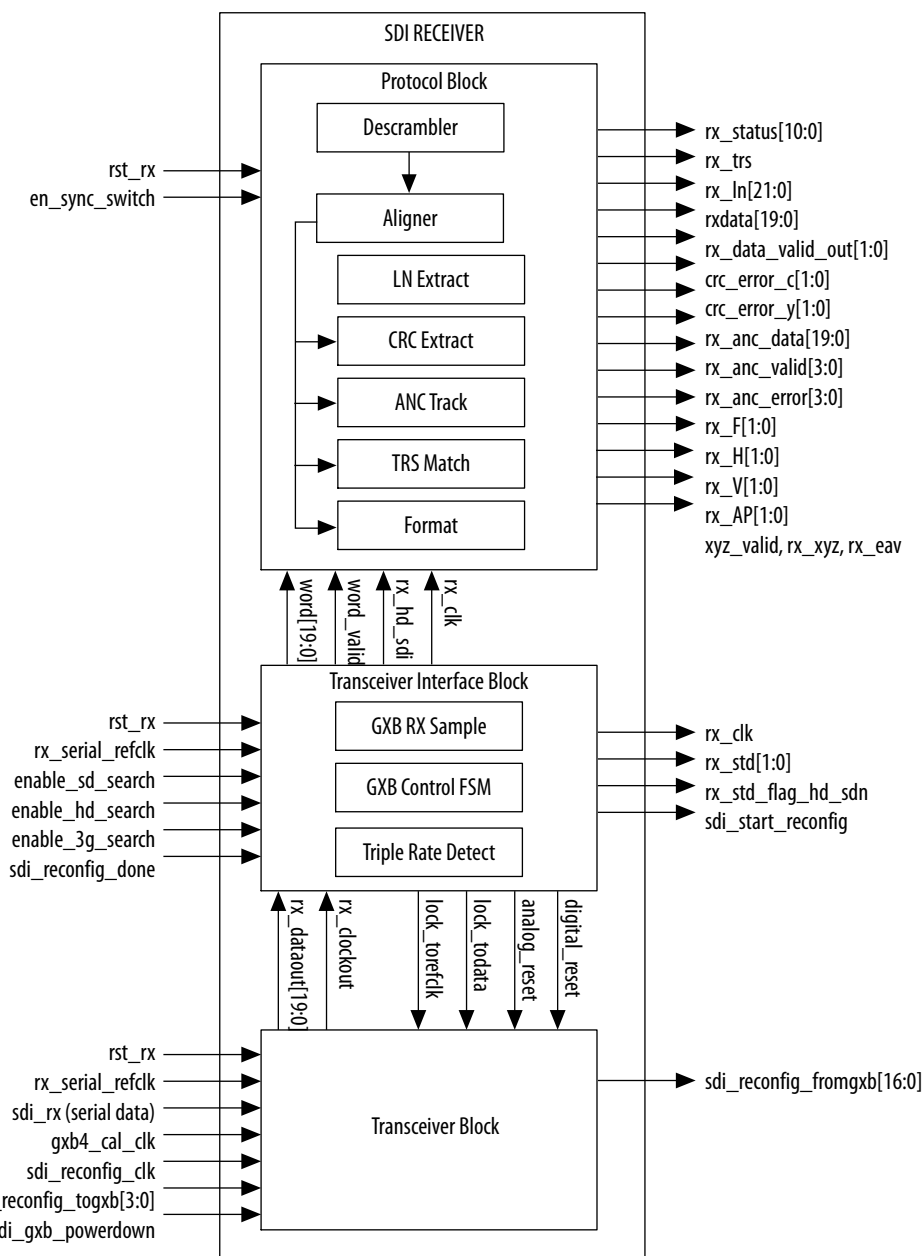
- SD/HD-SDI レシーバー・デスクランブラーとワードアライナー
- HD-SDI レシーバー CRC および LN 抽出器
- トランシーバー、プラス制御、およびマルチレート (デュアルまたはトリプル・スタンダード) SD/HD-SDI トランスミッターの動作を備えるインターフェイス・ロジック
- レシーバー・フレーミング (ビデオのタイミング信号の抽出を伴う)
- 補助データの識別と追跡

レシーバーは、次の機能を実行します。

- NRZI デコーディングとデスクランブル
- ワード・アライメント
- ビデオ・タイミング・フラグの抽出
- RP168 のスイッチング・コンプライアンス
- HD-SDI の LN 抽出
- HD-SDI の CRC
- トランシーバーへのアクセス

図 -6: SDI レシーバーのブロック図

次の図は、SDI レシーバーのトップレベルのブロック図を表しています。



受信データは NRZI でデコードされ、デスクランブルされてから、ワードでアライメントされたパラレル出力 (HD-SDI の場合は 20 ビット、SD-SDI の場合は 10 ビット) として示されます。rxdata バスの定義については、3-41 ページの表 3-16 を参照してください。

表 8. サポートされるビデオ規格における rxdata のビット割り当て

次の表は、rxdata のビットの割り当てを示しています。

rxdata	SD-SDI	HD-SDI	3G-SDI Level A	3G-SDI Level B
[19:10]	未使用	Y	Y	Cb、Y、Cr、Y マルチプレクス (リンク A)
[9:0]	Cb、Y、Cr、Y マルチプレクス	C	C	Cb、Y、Cr、Y マルチプレクス (リンク B)

レシーバー・インターフェイスでは、受信データの F、V、および H のタイミング信号を抽出し、追跡します。アクティブな画像と補助データワードもまた、用途に応じて識別されます。

HD-SDI の場合は、受信した CRC がルーマチャネルとクロマチャネルに対してチェックされます。LN も抽出され、デザインからの出力として提供されます。

NRZI デコーディングとデスクランブル

デスクランブラー・モジュールは、チャネルのデコード機能を提供します。これは、SDI と HD-SDI の両方に共通です。これには、NRZI デコーディング、およびそれに続いて必要なデスクランブルが実装されます。SMPTE259M の図 C.1 で示されているアルゴリズムは、レシーバーのデータに繰り返し適用されます。その際は、LSB が最初に処理されます。

ワード・アライメント

アライナーワードでは、デスクランブルされたレシーバーデータをアライメントし、出力データのビット順序が元のビデオデータのビット順序と同じになるようにします。

表 9. EAV と SAV のシーケンス

EAV および SAV のシーケンスにより、正しいワード・アライメントを決定します。次の表に、それぞれの規格のパターンを示します。

ビデオ規格	EAV と SAV のシーケンス
SD-SDI	3FF 000 000
HD-SDI	3FF 3FF 000 000 000 000
3G-SDI Level A	3FF 3FF 000 000 000 000
3G-SDI Level A	3FF 3FF 3FF 3FF 000 000 000 000 000 000 000

アライナーは、デスクランブルされたレシーバーデータで選択されているパターンと一致します。可能なワード・アライメントのいずれかでパターンが検出されると、フラグが立てられ、一致したアライメントが示されます。このプロセスは、レシーバーのデータに継続的に適用されます。

アライナーの第 2 段階では、データの正しいワード・アライメントを特定します。同じアライメントをもつ 3 つの連続する TRS を検索し、そのアライメントを格納します。その後、異なるアライメントで 2 つの連続する TRS が検出された場合は、この新しいアライメントが格納されます。

アライナーの最終段階では、受信データにバレルシフト機能を適用し、正しくアライメントされたパラレルワード出力を生成します。この SDI MegaCore ファンクションでは、バレルシフターを使用すると、デザインを 1 つのアライメントから別のアライメントに即座に切り替えることができます。

ビデオ・タイミング・フラグの抽出

TRS 一致モジュールは、受信データから F、V、および H のビデオ・タイミング・フラグを抽出します。これらのフラグを使用し、レシーバーのフォーマット検出、またはフライホイール機能の実装を行うことができます。

TRS 一致モジュールではまた、HD-SDI のライン番号と CRC ワードを識別します。

RP168 スイッチング・コンプライアンス

RP168 の要件を満たすには、トランシーバーがスイッチング・ラインの終わりまでに回復可能である必要があります。

表 10. サポートされているビデオ・スイッチング・タイプ

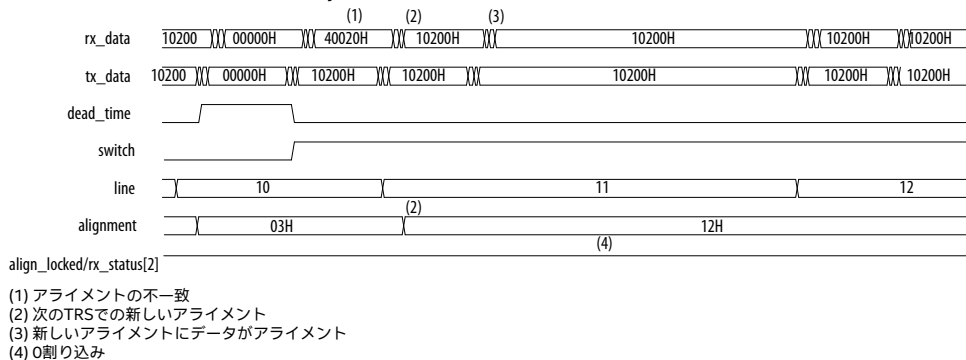
次の表に、サポートされているビデオ・スイッチング・タイプを示します。

規格/データレート	フォーマット	RP168 のサポート	切り替えるソース
Fixed	Switch (同じフォーマット)	あり	HD-1080i30 から HD-1080i30
Fixed	Switch	なし	HD-1080 から HD-720
Switch	Fixed	なし	HD-1080 から SD-525
Switch	Switch	なし	HD-1080 から SD-525

次の図は、RP168 スイッチング時のアライナーブロックとフォーマット・ブロックの動作を示しています。

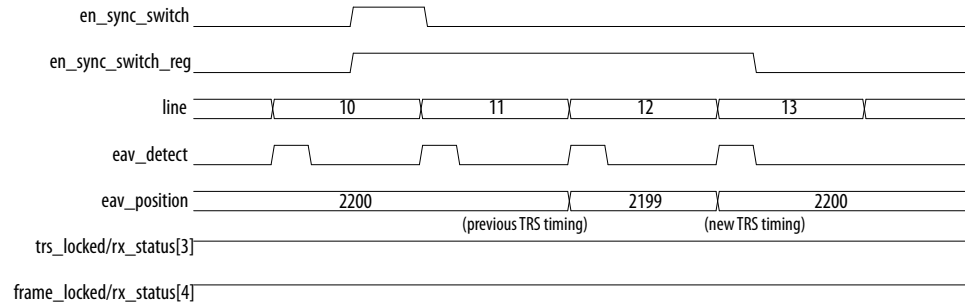
図 -7: アライナーブロックの動作

アライナーブロックは、ユーザー入力の en_sync_switch 信号に基づき、すぐに次の TRS タイミングにアライメントします。



フォーマット・ブロックはユーザー入力の en_sync_switch 信号を 3 ラインラッチし、新しい TRS アライメントにすぐに再アライメントします。スイッチング時に、ダウンストリームの割り込みは 0 になります。trs_locked および frame_locked 信号は、同期切り替え時にデアサートされることはありません。

図 -8: フォーマット・ブロックの動作



HD-SDI の LN 抽出

HD-SDI の LN 抽出モジュールは、SMPTE292M のセクション 5.4 で定義されている LN ワードを HD-SDI クロマチャネルから抽出してフォーマットします。デザインでは、LN を出力として提供します。

HD-SDI の CRC チェック

CRC モジュールは、SMPTE292M のセクション 5.5 で定義されている CRC を HD-SDI のルーマチャネルおよびクロマチャネルに対してチェックします。

注意: このモジュールは、レシーバーとトランスミッターに共通です。

このチェックは、受信した各ビデオラインの CRC を再計算し、結果を受信した CRC データに対して確認することによって実装されます。結果が異なる場合は、エラーフラグがアサートされます。ルーマチャネルとクロマチャネルには個別のエラーフラグがあります。フラグは、次のチェックが実行されるまでアサートされた状態で保たれます。

トランシーバーへのアクセス

インテル Quartus Prime スタンダード・エディション・ソフトウェアを使用すると、暗号化されていない ALTGX ラッパーファイルを介してトランシーバーにアクセスすることができます。Arria II GX、Arria V、Cyclone IV GX、および Stratix IV GX のコンフィグレーションに向けた ALTGX ラッパーファイルにアクセスすることができます。

次のいずれかの方法を使用して、ALTGX ラッパーファイルにアクセスすることができます。

- それぞれのデバイス・ハンドブックに記載されている有効な範囲を使用して ALTGX ラッパーファイルを編集する
- ALTGX_RECONFIG メガファンクションを介してアナログ制御を使用する

注意: 再生成後にラッパーファイルのデフォルトの内容を損失しないようにするには、カスタマイズされている ALTGX ラッパーファイルを IP カタログを使用して再インスタンス化しないでください。

ALTGX ラッパーファイルの編集

パラメーターの設定を変更するには、ALTGX ラッパーファイルの有効な範囲を編集します。

例えば、電圧出力差動制御設定を 4 から 7 に変更するには、ラッパーファイルの次の行を変更します。

```
alt4gxb_component.vod_ctrl_setting = 4
```

この行を、次のように変更します。

```
alt4gxb_component.vod_ctrl_setting = 7
```

注意: 特定のインテルデバイスの有効な範囲を確認するには、それぞれのデバイスのハンドブックを参照してください。

アナログ制御の使用

ALTGX の設定に柔軟にアクセスして制御する必要がある場合は、ALTGX_RECONFIG メガファンクションを使用してアナログ・リコンフィギュレーションを有効にします。アナログ制御を使用して、次のトランシーバー・パラメーターのデフォルト設定を編集します。

- 電圧出力の差
- プリエンファシス制御のプリタップ
- プリエンファシス制御の 1 番目のポストタップ
- プリエンファシス制御の 2 番目のポストタップ
- イコライザーの DC ゲイン
- イコライザーの DC 制御

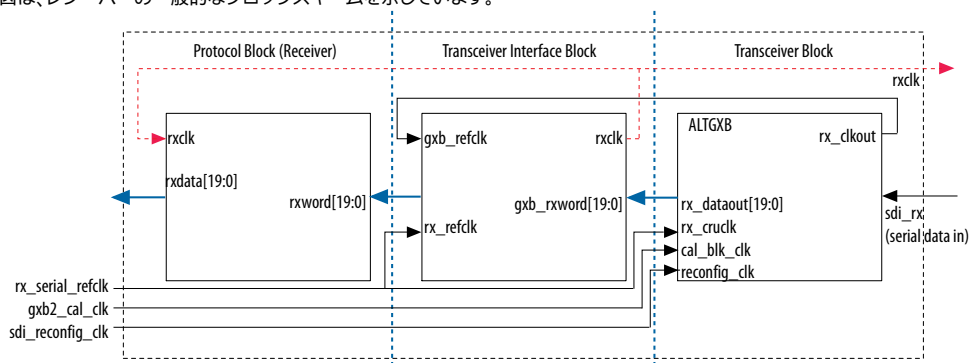
ALTGX_RECONFIG メガファンクションは、単一チャネルの `reconfig_togxb[3:0]` ポートと `reconfig_fromgxb[16:0]` ポートを使用して、ALTGX に接続します。

ランタイムにアナログ制御とチャネル・リコンフィギュレーションを有効にするには、`reconfig_mode_sel` 信号を使用します。

トランシーバー・クロック

図 -9: レシーバーのクロックスキーム

次の図は、レシーバーの一般的なクロックスキームを示しています。



3.3. トランシーバー

トランシーバーでは、高速シリアル入力をデシリアライズします。

HD-SDI の場合、CDR 機能でデシリアライゼーションを実行し、レシーバー PLL をレシーバーデータにロックします。

SD-SDI の場合は、トランシーバーでシリアルデータの固定の周波数オーバーサンプルを提供します。レシーバー PLL は常にリファレンス・クロックにロックされます。これにより、トランシーバーで 270Mbps のデータレートをサポートすることが可能です。

トランシーバーでは、SD-SDI または HD-SDI のデータのいずれかを処理することができます。データレートは自動的に検出されるため、インターフェイスではデバイスのリコンフィグレーションを必要とせず、SD-SDI と HD-SDI の両方を処理することができます。

機能	サポートされるデバイス
クワッドあたり 2 つのトランスミッター PLL。 各クワッドでは、2 つの独立したトランスミッターのレートが許可されます。クワッド内のレシーバーは共通のトレーニング・クロックを共有しますが、独立したレシーバー PLL を備えています。同じトレーニング・クロックを SD-SDI と HD-SDI で使用するため、レシーバーは単一のクワッド内で異なる規格に対応することができます。	Arria II GX, Arria V, Stratix IV GX, Stratix V
追加のシリアル・リファレンス・クロック・ポート。 この追加のクロックポートを使用すると、単一のトランシーバー・ブロックを使用して異なるデータレートに対する 2 つの異なるクロックレートを設定することが可能になり、必要なクロックレート (例えば、148.5MHz と 148.35MHz) を切り替えることができます。	Arria II GX (Arria II GZ を含む) および Stratix IV GX
上部と下部のクワッドからの 8 つの通常のトランシーバー・チャンネル。 4 つの MPLL と 2 つの GPLL をトランシーバー・チャンネルのクロックに使用することができます。EP4CGX50 および EP4CGX75 デバイスの各レシーバーにはクロック分周器があり、1 つの MPLL ですべてのレシーバー・チャンネルを駆動することができます。EP4CGX110 および EP4CGX150 デバイスのレシーバーにはクロック分周器がありません。これにより、各 MPLL で 1 つのレシーバー・チャンネルのみを駆動するように制限し、単一のクワッド内で異なる規格に対応します。 2 つの受信リファレンス・クロック (例えば、148.5MHz と 148.35MHz) を SDI レシーバーに供給する必要があります。ユーザーロジックに PPM 検出機能を実装し、受信リファレンス・クロックとリカバリークロックの ppm の差を検出します。検出された差に基づき、2 つの受信リファレンス・クロックを切り替える必要があります。これには、rx_serial_refclk_clkswitch 信号をトグルします。	Cyclone IV GX デバイス — EP4CGX30 (F484)、EP4CGX50、EP4CGX75、EP4CGX110、EP4CGX150

関連情報

[V-Series Transceiver PHY IP Core User Guide Notes](#)

3.3.1. トランスミッターのクロック

トランスミッターには、パラレル・ビデオ・クロック (tx_pclk) とトランスミッター・リファレンス・クロック (tx_serial_refclk) の 2 つのクロックが必要です。

パラレル・ビデオ・クロックは、次のパラレルビデオ入力をサンプリングして処理します。

- SD-SDI — 27MHz
- HD-SDI — 74.25 または 74.175MHz
- 3G-SDI — 148.5 または 148.35MHz

トランシーバーは、トランスミッター・リファレンス・クロックを使用して高速シリアル出力を生成します。トランシーバーは 20 ビットの動作にコンフィグレーションされているため、リファレンス・クロックはシリアル・データ・レートの 1/20 です。

注意: SD-SDI の場合、オーバーサンプリングの実装により、シリアル・データ・レートは SDI ビットレートの 5 倍になります (例えば、1,350Mbps)。トリプル・スタンダード SDI の場合は、オーバーサンプリング・レートは 11 です。

SD-SDI の動作の場合、トランスミッター・リファレンス・クロックは pclk から取得することができます。その際は、トランシーバー PLL の 1 つを使用します。PLL は、27MHz の pclk 信号を 5/2 倍にすることができます。

他の規格の場合はすべて、外部マルチプレクサーを使用して代替リファレンス・クロックから選択します。

表 11. トランスミッター・クロックの周波数

次の表は、Arria II GX、Arria V、Cyclone IV GX、Cyclone V、Stratix IV、Stratix V デバイスのトランスミッター・クロック tx_serial_refclk の周波数を示しています。

ビデオ規格	クロック周波数 (MHz)
SD-SDI	67.5
HD-SDI (デュアルリンクを含む)	74.175 または 74.25
HD-SDI (2 倍のオーバーサンブル)	148.35 または 148.5
デュアル・スタンダード	67.5、74.175、または 74.25
トリプル・スタンダード	148.35 または 148.5
3G-SDI	148.35 または 148.5

注意: SD-SDI 以外は、すべてのビデオ規格において tx_serial_refclk 信号を外部で多重化する必要があります。追加の入力リファレンス・クロック・ポートをシリアル・リファレンス・クロックに有効にする場合は、外部のマルチプレクサーは不要です。

次の図は、Arria II GX、Arria V、Cyclone IV GX、Cyclone V、Stratix IV、Stratix V デバイスのトランスミッター・クロックを表しています。

図 -10: SD-SDI のトランスミッター・クロック

SD-SDI

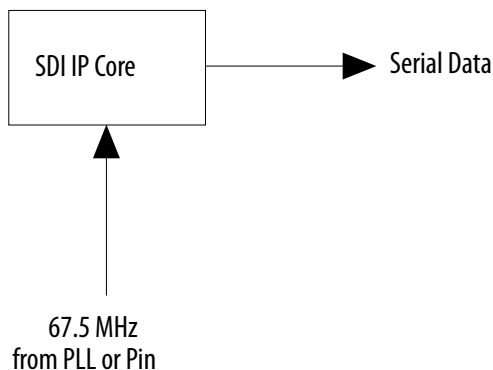


図 -11: HD-SDI のトランスミッター・クロック

このクロックでサポートされる周波数は 74.175 または 74.25MHz であり、それぞれ 1.4835 または 1.485Gbps の HD-SDI をサポートします。

HD-SDI

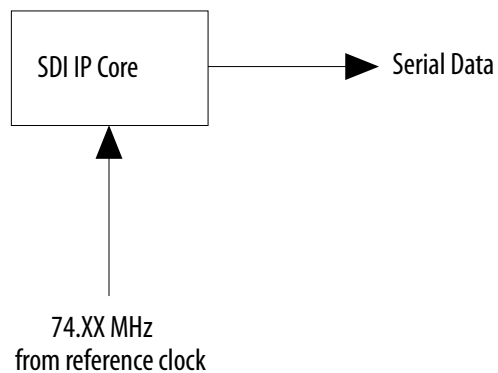


図 -12: デュアル・スタンダードのトランスミッター・クロック

マルチプレクサーはデバイス内にある必要があります。

Dual Standard

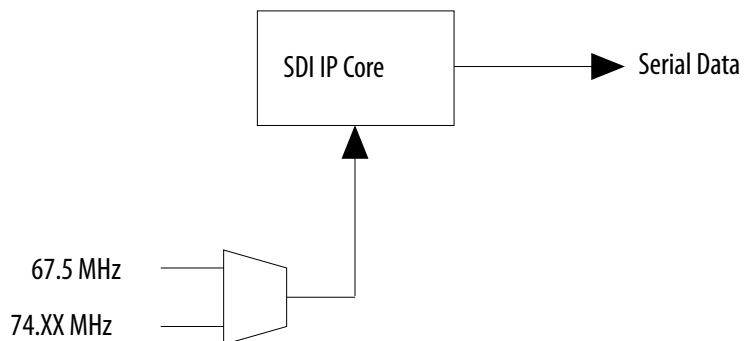


図 -13: 3G-SDI およびトリプル・スタンダードのトランスミッター・クロック

このクロックでサポートされる周波数は 148.35 または 148.5MHz であり、それぞれ 2.967 または 2.970Gbps の HD-SDI をサポートします。

3G-SDI or Triple Standard

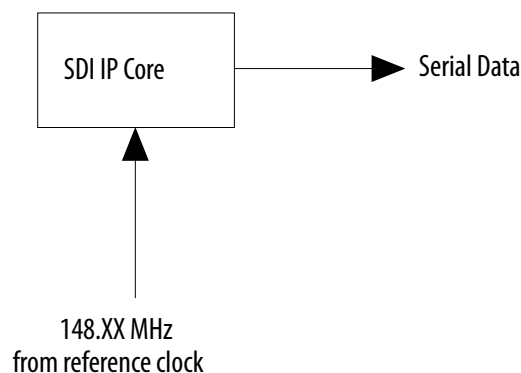
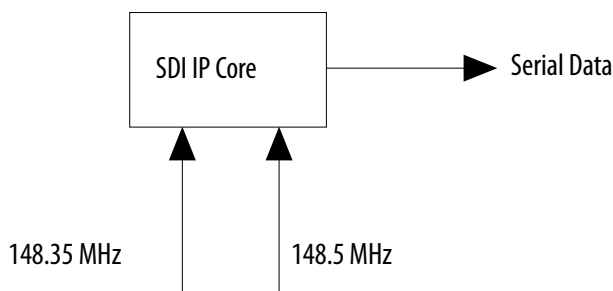


図 -14: 3G-SDI およびトリプル・スタンダードのトランスミッター・クロック (追加リファレンス・クロック・ポートあり)

追加のクロックポートが有効になっている場合は、148.5MHz と 148.35MHz の両方のクロックを一緒に供給することができます。

3G-SDI or Triple Standard (with additional reference clock port)



関連情報

[Altera Transceiver PHY IP Core User Guide](#)

Altera Native PHY IP コアに関する情報が提供されています。

3.3.2. レシーバーのクロック

トランシーバーには、レシーバー・リファレンス・クロックの rx_serial_refclk が必要です。このクロックにより、トランシーバーのレシーバー PLL をトレーニングします。

- SD-SDI の動作の場合、クロックは名目上シリアル・データ・レートの 1/4 (例えば、67.5Mhz) にする必要があります。クロックはデータに対して周波数でロックされている必要はありません。
- HD-SDI の動作の場合、クロックは名目上シリアル・データ・レートの 1/20 にする必要があります。クロックはデータに対して周波数でロックされている必要はありません。デザインでは、レシーバー PLL のトレーニングにのみクロックを使用します。
- デュアルまたはトリプル・スタンダードの動作の場合、レシーバー・リファレンス・クロックは 148.5MHz にする必要があります。このモードでは、トランシーバーは SD-SDI 信号を 11 倍でオーバーサンプリングします。

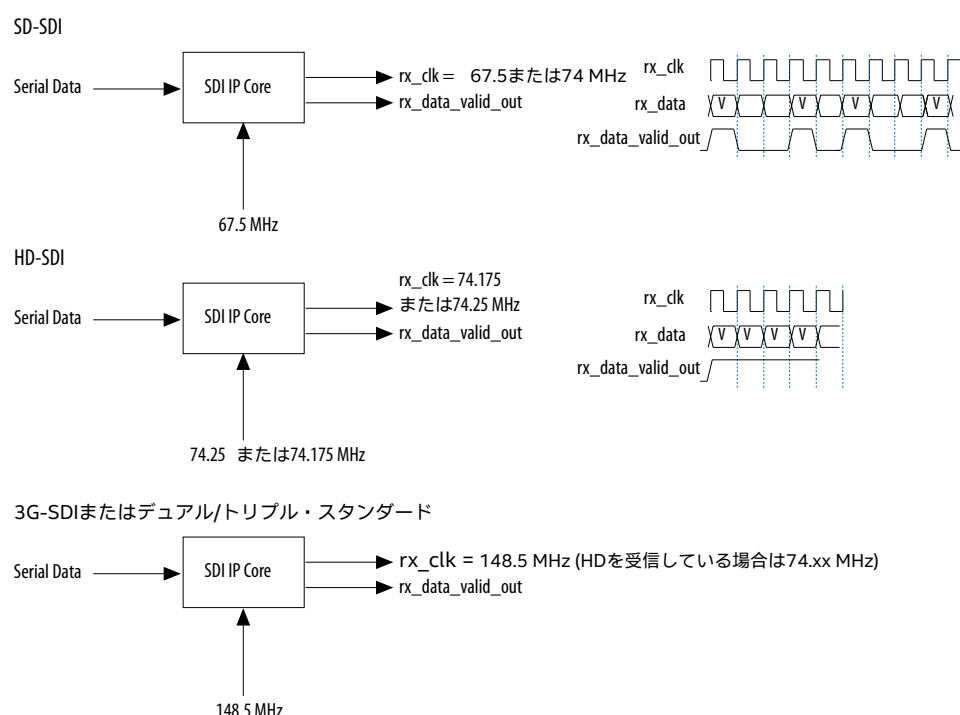
レシーバー・インターフェイスはすべて、共通のレシーバー・リファレンス・クロックを共有します。

表 12. レシーバークロックの周波数

次の表は、レシーバークロック rx_serial_refclk の周波数を示しています。

ビデオ規格	クロック周波数 (MHz)
SD-SDI	67.5
HD-SDI	74.175 または 74.25
デュアルまたはトリプル・スタンダード	148.35 または 148.5 ⁽⁶⁾
3G-SDI	148.35 または 148.5

図 -15: さまざまな規格におけるレシーバークロック



3.3.3. トランスミッターのトランシーバー・インターフェイス

インテルでは、トランシーバーを SDI 機能にインターフェイス接続するトランシーバー・インターフェイスを提供しています。

トランスミッターのトランシーバー・インターフェイスは、次の機能を実装します。

- パラレル・ビデオ・クロック・ドメインからトランシーバー・トランスミッター・クロック・ドメインへのリタイミング
- HD-SDI で使用するオプションの 2 倍のオーバーサンプリング
- SD-SDI で使用するトランスミッターのオーバーサンプリング

⁽⁶⁾ SD-SDI の正しい動作には、148.5MHz のみを使用する必要があります。

表 13. トランスミッターのトランシーバー・インターフェイスの機能

機能	説明
トランスミッターのリタイミング	トランシーバーへのパラレルデータ入力である txdata は、トランシーバー・クロック入力の tx_coreclk に同期し、位相でアライメントされている必要があります。SD-SDI (およびオプションで HD-SDI) には、オーバーサンプリング・ロジックのため、リタイミング機能が必要です。トランスミッターは、小さな 16×20 の FIFO バッファをリタイミングに使用します。 - HD-SDI の場合は、FIFO バッファでパラレルビデオ入力をトランシーバー・クロックの tx_coreclk に再アライメントします。tx_pclk ごとに書き込まれ、tx_coreclk ごとに読み出されます。 - SD-SDI の場合は、FIFO バッファはトランスミッターのオーバーサンプリング・ロジックに必要なレート変換も提供します。SD-SDI のデータ幅変換ロジックを使用して、1 つおきの tx_pclk で書き込まれます。読み出しは、5 番目または 11 番目の tx_coreclk で行われます。この操作により、トランスミッターのオーバーサンプリング・ロジックに対して、5 番目または 11 番目のクロックごとにパラレルビデオデータのワードが提供されるようになります。
HD-SDI の 2 倍のオーバーサンプリング	2 倍のオーバーサンプリング・モードでは、2 倍のオーバーサンプリングを実行し、トランシーバーを 2 倍のレートで実行することで、出力ジッタのパフォーマンスを向上させます。このモードでは、より高いレートのリファレンス・クロックが必要です。
SD-SDI のトランスミッターのオーバーサンプリング	SD-SDI には、270Mbps のシリアル・データ・レートが必要です。これは、1,350Mbps の信号を送信することで実現します。その場合に、各ビットは 5 回繰り返されます。このプロセスにより、トランシーバーがサポートされる周波数で動作することを保証します。トリプル・スタンダード・モードでは、ビットは 2,970Mbps で送信され、各ビットは 11 回繰り返されます。

3.3.4. レシーバーのトランシーバー・インターフェイス

インテルでは、トランシーバーを SDI 機能にインターフェイス接続するトランシーバー・インターフェイスを提供しています。

レシーバーのトランシーバー・インターフェイスは、次の機能を実装します。

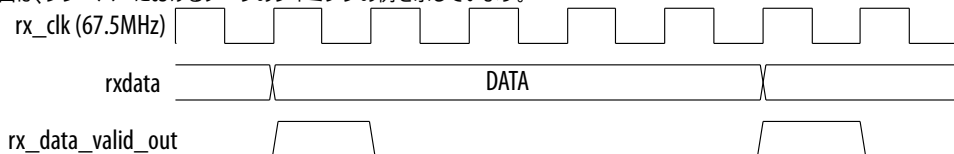
- SD-SDI で使用するレシーバー・オーバーサンプリング
- トランシーバー・コントローラー

SD-SDI のレシーバーのオーバーサンプリング

Arria II GX、Arria V、Stratix IV、および Stratix V トランシーバーでは、600Mbps 未満のデータレートに CDR をサポートしていません。レシーバーでは、固定の周波数オーバーサンプリングを使用して、270Mbps の SD-SDI を受信します。トランシーバーではシリアルデータを 1,350 または 2,970Mbps でサンプリングし、SD-SDI のレシーバーのオーバーサンプリング・ロジックで元の 270Mbps のデータを抽出します。

図 -16: レシーバーのデータのタイミング

次の図は、レシーバーにおけるデータのタイミングの例を示しています。



トランシーバー・コントローラー

SDIに必要なレシーバーの機能を実現するため、トランシーバー・コントローラーでトランシーバーを制御します。

インターフェイスで SD-SDI を受信すると、トランシーバーのレシーバー PLL はレシーバーのリファレンス・クロックにロックされます。

インターフェイスで HD-SDI を受信すると、トランシーバーのレシーバー PLL はまず、レシーバーのリファレンス・クロックにロックすることでトレーニングされます。PLL がロックされると、実際のレシーバーのデータレートを追跡することができます。有効な SDI 信号がない状態で一定期間が経過すると、PLL はリファレンス・クロックで再トレーニングされ、プロセスが繰り返されます。

まず、トランシーバー・コントローラーは、着信データストリームの粗いレート検出を行います。次に、トランシーバーのダイナミック・リコンフィグレーションにより、トランシーバーは検出された規格の正しいレートに再プログラミングされます。再プログラミング後に、トランシーバーは着信ストリームへのロックを試みます。0.1 秒以内に有効なデータが見られない場合、トランシーバーはレシーバーパスをリセットし、レート検出を再度実行します。

レート検出プロセスの開始時に、3 つの enable_xx 信号のレベルがサンプリングされます。これらの信号のレベルと、トランシーバーが現在プログラムされている状態の情報によって、トランシーバーにプログラミングが必要かを決定します。このプロセスにより、トランシーバーが必要な場合にのみ再プログラミングされることを保証します。

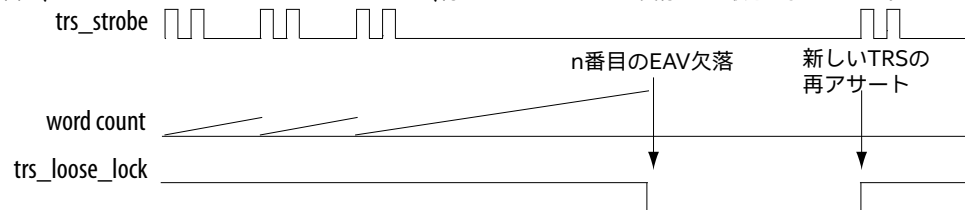
3.4. 着信 SDI ストリームへのロック

トランシーバーの制御ステートマシンでは、ストリームにおける TRS の有無を使用し、SDI が正しく受信されているかを特定します。

単一の有効な TRS は、レシーバーがいくつかの有効な SDI サンプルを取得していることを制御ステートマシンに示します。制御ステートマシンでは、指定している数の連続するライン内で EAV シーケンスを検出しない場合にのみ、このフラグをデアサートします。その時点で、コントローラーのステートマシンはリセットされ、再ロック・アルゴリズムが実行されます。

図 -17: ロック・アルゴリズム

次の図は、コントローラーのステートマシンがリセットされ、再ロック・アルゴリズムが実行される状態を示しています。



同じアライメントをもつ 2 つの連続する TRS が検出されると、アライナーは新しいアライメントに再アライメントするため、このスキームでは、トランシーバーのリセット・ステート・マシンに影響を与えることなく、SDI ソースの切り替えとアライメントの変更が可能です。

SDI MegaCore ファンクションではまた、着信する EAV および SAV 信号を監視し、それらの間隔が複数のラインにわたって一定であることを確認します。MegaCore ファンクションでの監視は、着信する SDI ワードごとにカウンターをインクリメントし、EAV または SAV が検出されたカウント値を格納することによって行います。EAV と SAV の間隔が 6 つのビデオラインで一貫している場合、MegaCore ファンクションは rx_status[3] 出力で trs_locked を示します。

現在の SDI MegaCore ファンクションの拡張により、指定されている数の欠落 EAV または SAV を、trs_locked 信号をデアサートせずに許容できるようになっています。

例えば、**Tolerance to consecutive missed EAV/SAV** パラメーターに **2** を指定している場合、1 つまたは 2 つの連続する EAV の欠落で、「欠落」フラグは設定されますが、trs_locked 信号はデアサートされません。正しい位置での適切な EAV により、「欠落」フラグはリセットされます。

次に示されている一連の図は、TRS が欠落している場合、または位置が違う場合の許容動作を表しています。

図 -18: 単一の EAV の欠落

次の図は、単一の EAV の欠落では、trs_locked 信号がデアサートされないことを示しています。

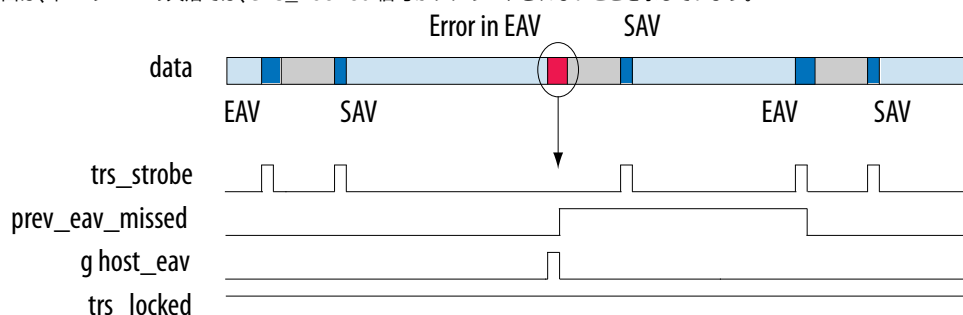


図 -19: 2 つの連続する EAV の欠落

次の図は、2 つの連続する EAV の欠落では、trs_locked 信号がデアサートされないことを示しています。

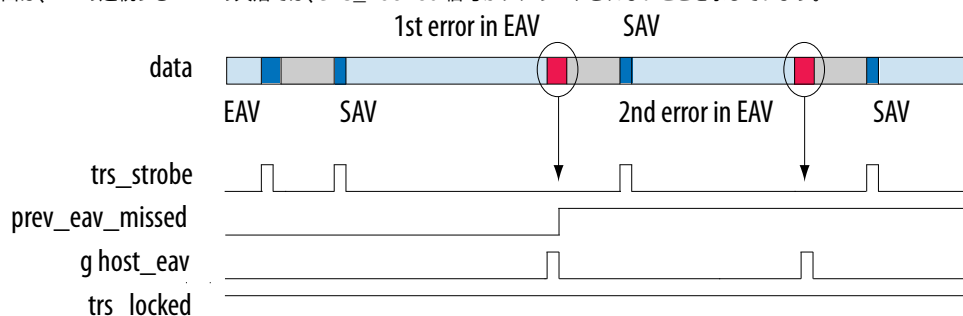
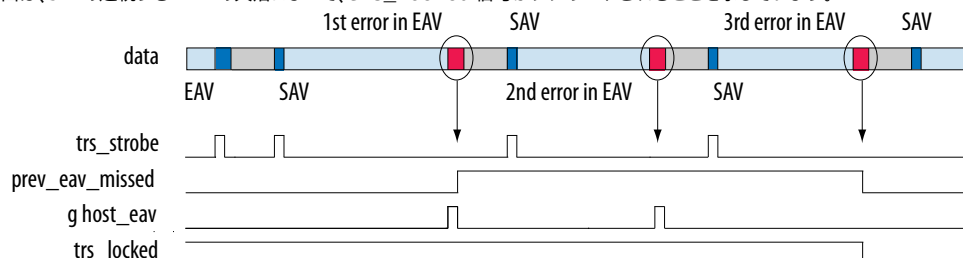


図 -20: 3 つの連続する EAV の欠落

次の図は、3 つの連続する EAV の欠落によって、trs_locked 信号がデアサートされることを示しています。



frame_locked 信号では、TRS の EAV を検出し、フィールド (F) および垂直 (V) 同期の遷移を検査してから、ライン番号をカウントします。F および V の同期における遷移を検査することにより、フレームのタイミングが提供されます。フレームにおいて F および V の同期に立ち上がりエッジまたは立ち下

がりエッジがある場合に、ラインカウント値が格納されます。格納されたカウント値は複数のフレームにわたって比較され、それらが安定していることが確認されます。その後、frame_locked 信号がアサートされます。

frame_locked 信号は、F または V の同期が悪い場合、またはフレームからフレームへの立ち上がりエッジがある場合にデアサートされます。また、frame_locked 信号は、trs_locked 信号がデアサートするとデアサートされます。

frame_locked 信号が 0 の場合はフレームは無効であり、レシーバーで信頼できるビデオデータを受信しているとはみなされません。

3.5. SDI における受信ビデオ・フォーマットの仕様

次の表は、8 ビットの受信ビデオ・フォーマットの仕様を一覧にしています。

ビデオ規格	合計アクティブライン	合計ラインあたりのワード	レート	rx_video_format [7:5]	rx_video_format [4]	rx_video_format [3:0]
					プログレッシブ/インターレース	フレームレート
SD	720	—	—	0	0	8
720p60		1650	60	2	1	7
720p59.94			59.94			6
720p50		1980	50			5
720p30		3300	30			4
720p29.97			29.97			3
720p25		3960	25			2
720p24		4125	24			1
720p23.97			23.97			0
1035i30	1035	2200	30	3	0	4
1035i29.97			29.97	3	0	3
1080i25	1080	2376	25	4	0	2
1080i60		2200	60	1		7
1080i59.94			59.94			6
1080i50		2640	50			5
1080i24		2750	24			1
1080i23.97			23.97			0
1080p60	1080	2200	60	1	1	7
1080p59.94			59.94			6
1080p50		2640	50			5
1080p30	1080	2200	30	1	1	4
1080p29.97			29.97			3
continued...						

continued...

3. 機能の説明

683587 | 2020.08.20



ビデオ規格	合計アクティブライン	合計ラインあたりのワード	レート	rx_video_format [7:5]	rx_video_format [4]	rx_video_format [3:0]
					プログレッシブ/インターレース	フレームレート
1080p25		2640	25			2
1080p24		2750	24			1
1080p23.97			23.97			0

4. SDI IP コアの信号

4.1. SDI クロック信号

表 14. レシーバーのクロック信号

信号	方向	説明
gxb4_cal_clk	入力	Arria II GX、Arria V、Cyclone IV GX、および Stratix IV トランシーバー専用のキャリブレーション・クロックです。
rx_sd_oversample_clk_in	入力	67.5MHz のオーバーサンプル・クロック入力、SD-SDI 専用です。
rx_serial_refclk	入力	HD-SDI、デュアル・スタンダードおよびトリプル・スタンダードに向けたトランシーバー・トレーニング・クロックです。 注 StratiX V または Arria V デバイスを使用して SDI デュプレックスを生成する場合は、tx_serial_refclk 信号と rx_serial_refclk 信号を結び付ける必要があります。
rx_serial_refclk1	入力	二次トランシーバー・トレーニング・クロックです。HD-SDI の場合は 74.175MHz のクロック周波数、3G-SDI、デュアル・スタンダードおよびトリプル・スタンダードの場合は 148.35MHz のクロック周波数です。 Cyclone IV GX デバイスを使用している場合にのみ利用することができます。
rx_coreclk	入力	レシーバー・コントローラーのクロック入力、Cyclone IV GX デバイス専用です。このクロックの周波数は、rx_serial_refclk と同じにする必要があります。 ハードウェアの制約により、トランシーバー PLL とコアロジックでトランシーバーの PLL6 と PLL7 を使用する場合は、同じクロック入力ピンを共有することはできません。
refclk_rate	入力	この信号は、rx_video_format に関連付けられます。受信したビデオ規格を検出します。 148.35MHz のレシーバー・シリアル・リファレンス・クロックの場合は、入力を 0 に設定します。 148.5MHz の RX シリアル・リファレンス・クロックの場合は、入力を 1 に設定します。 注意: Cyclone IV GX デバイスの場合は、rx_coreclk の周波数に応じて refclk_rate を設定します。
gxb_tx_clkout	出力	トランシーバーのトランスミッター・クロック出力です。このクロックは、電圧制御発振器 (VCO) の出力であり、トランスミッターの平行クロックとして使用されます。ALTGX または ALT2GXB メガファンクションの tx_clkout 信号に内部で接続されます。
rx_clk	出力	トランシーバーの CDR クロック。
rx_sd_oversample_clk_out	出力	67.5MHz のオーバーサンプル・クロック出力、MegaCore ファンクションをカスケード接続します。SD-SDI 専用です。
rx_video_format	出力	この信号は、refclk_rate に関連付けられます。受信したビデオのフォーマットを示します。rx_video_format の値は、フレームロック信号がアサートされた後に有効になります。

表 15. トランスミッターのクロック信号

信号	方向	説明
tx_pclk	入力	トランスミッターの平行クロック入力です。 • SD-SDI = 27MHz • HD-SDI = 74MHz • 3G-SDI = 148.5MHz
tx_serial_refclk	入力	トランシーバーのリファレンス・クロック入力で、低ジッターです。 注 Stratix V または Arria V デバイスを使用して SDI デュプレックスを生成する場合は、tx_serial_refclk 信号と rx_serial_refclk 信号を結び付ける必要があります。
tx_serial_refclk1	入力	トランシーバーのリファレンス・クロック入力に向けたオプションのポートで、低ジッターです。tx_serial_refclk と同様です。 注意: Arria II および Stratix IV GX デバイスでのみ利用することができます。

表 16. トランシーバー PHY の管理信号

これらの信号は、Arria V および Stratix V デバイスでのみ利用することができます。

信号	方向	説明
phy_mgmt_clk	入力	トランシーバー PHY 管理インターフェイスの Avalon-MM クロック入力です。同じクロックを PHY 管理インターフェイスとトランシーバー・リコンフィグレーションに使用します。周波数の範囲は 100 から 125MHz で、それによってトランシーバー・リコンフィグレーション・クロックの仕様を満たします。
phy_mgmt_clk_reset	入力	トランシーバー PHY 管理インターフェイスのリセット信号です。この信号はアクティブ High で、レベル・センシティブです。シンプレックス・モードでは、この信号を tx_rst または rx_rst 信号と同じリセットポートに接続することができます。 デュプレックス・モードでは、このリセット信号はトランスミッターとレシーバーに対するグローバルリセットとして機能します。トランスミッターとレシーバーに異なるリセットが必要な場合は、この信号を tx_rst 信号と rx_rst 信号から切り離します。

表 17. ソフト・トランシーバー信号

rx_sd_refclk_337	入力	ソフト・トランシーバーの 337.5MHz サンプリング・クロック
rx_sd_refclk_337_90deg	入力	ソフト・トランシーバーの 337.5MHz サンプリング・クロック、90°の位相シフトあり
rx_sd_refclk_135	入力	レシーバーに向けたソフト・トランシーバーの 135MHz 平行クロック
rx_sd_refclk_270	入力	トランスミッターに向けたソフト・トランシーバーの 270MHz 平行クロック

4.2. SDI インターフェイス信号

信号	幅	方向	説明
enable_crc	[(N-1):0]	入力	HD-SDI および 3G-SDI の CRC 挿入を有効にします。
enable_sd_search	[1:0]	入力	デュアルまたはトリプル・スタンダード・モードにおいて SD-SDI 信号の検索を可能にします。
enable_hd_search	[1:0]	入力	デュアルまたはトリプル・スタンダード・モードにおいて HD-SDI 信号の検索を可能にします。
enable_3g_search	[1:0]	入力	トリプル・スタンダード・モードにおいて 3G-SDI 信号の検索を可能にします。
enable_ln	[(N-1):0]	入力	HD-SDI および 3G-SDI のライン番号 (LN) 挿入を有効にします。
continued...			

信号	幅	方向	説明
en_sync_switch	[1:0]	入力	アライナーブロックおよびフォーマット・ブロックをすぐに再アライメントすることで、ダウンストリームが完全に中断しなくなります。
rst_rx	[1:0]	入力	リセット信号で、レシーバーをリセット状態に保ちます。 Cyclone IV GX デバイスの場合、この信号はレシーバーの rx_coreclock クロックドメインに同期している必要があります。電源投入後に SDI IP コアにリセットを発行し、信頼性の高い動作を保証します。 HD-SDI のデュアル・リンク・レシーバーの場合は、リンク A とリンク B の両方で準備が整った際にこの信号をアサートします。
rst_tx	[1:0]	入力	リセット信号で、トランスミッターをリセット状態に保ちます。トランスミッターのリセット同期は、SDI IP コア内で処理されます。 注 ビデオモード (tx_std) とクロックは、デバイスの起動ま 意: たはコアのリセット前にセットアップされて安定している必要 があります。 電源投入後に SDI IP コアにリセットを発行し、信頼性の高い動作を保証します。
rx_serial_refclk_clkswitch	[1:0]	入力	リファレンス・クロックを切り替えます。 Cyclone IV GX デバイスを使用している場合にのみ利用することができます。 トリガーされるそれぞれのポジティブエッジで、rx_serial_refclk と rx_serial_refclk1 を切り替えます。
rx_protocol_clk	[(N-1):0]	入力	プロトコルデータ向けの外部クロック
rx_protocol_hd_sdn	[(N-1):0]	入力	デュアルまたはトリプル・スタンダード・プロトコル・ブロックにおける HD-SDI または SD-SDI の処理を選択します。 この信号は、デュアルまたはトリプル・スタンダード・プロトコル・ブロックにのみ表示され、rx_protocol_in 信号の 3G-SDI(1)、HD-SDI(1)、または SD-SDI(0) のデータを示します。分割プロトコル/トランシーバーのデザインでは、この信号をトランシーバー・ブロックの rx_std_flag_hd_sdn 出力に接続する必要があります。
rx_protocol_in	[(20N-1):0]	入力	プロトコル専用モードの外部データ入力
rx_protocol_locked	[(N-1):0]	入力	トランシーバーのコントロール・ロジックへの入力です。アクティブになると、この信号はプロトコルブロックがロックされていることをトランシーバーのコントロール・ロジックに示すことにより、現在のレートでトランシーバー検索アルゴリズムを停止します。
rx_protocol_rst	[(N-1):0]	入力	プロトコルブロックのリセットです。この信号はプロトコルブロックをリセットします。 分割トランシーバー/プロトコルのデザインでは、この信号を rx_status[1] ピン (sdi_reset) に接続することができます。
rx_protocol_valid	[(N-1):0]	入力	プロトコル専用モードの外部データ有効入力
rx_protocol_rate	[1:0]	入力	プロトコルブロックへの入力です。この信号は、受信したビデオ規格をプロトコルブロックに示します。 ただし、この信号は 3G-SDI の Level A ストリームと 3G-SDI の Level B ストリームを区別しません。プロトコルブロックのアライナー・ブロックで、3G-SDI の Level A ストリームと 3G-SDI の Level B ストリームを区別します。分割トランシーバー/プロトコルのデザインでは、この信号をトランシーバー・ブロックの rx_std ポートに接続する必要があります。
rx_xcvr_trs_lock	[(N-1):0]	入力	トランシーバーのコントロール・ロジックへの入力です。この信号は、プロトコル専用レシーバーブロックの rx_status[3] ピン (trs_locked) に接続する必要があります。
continued...			

信号	幅	方向	説明
sdi_rx	[(N-1):0]	入力	シリアル入力
txdata	[(20N-1):0]	入力	ユーザーによって提供されるトランスミッター・パラレル・データの Valid です。SD-SDI では 9:0 を使用し、HD-SDI では 20N - 1:0 を使用します。 - SD-SDI = ビット 19:10 未使用、ビット 9:0 Cb、Y、Cr、Y マルチプレクス - HD-SDI = ビット 19:10 Y、ビット 9:0 C - デュアルリンク = ビット 39:30 Y リンク B、ビット 29:20 C リンク B、ビット 19:10 Y リンク A、ビット 9:0 C リンク A 3G-SDI Level A = ビット 19:10 Y、ビット 9:0 C 3G-SDI Level B = ビット 19:10 Cb、Y、Cr、Y マルチプレクス (リンク A)、ビット 9:0 Cb、Y、Cr、Y マルチプレクス (リンク B)
tx_ln	[21:0]	入力	トランスミッターのライン番号です。 - HD-SDI = ビット 21:11 11'd0、ビット 10:0 LN - デュアルリンク = ビット 21:11 LN リンク B、ビット 10:0 LN リンク A 3G-SDI Level A = ビット 21:11 11'd0、ビット 10:0 LN 3G-SDI Level B = ビット 21:11 LN リンク A、ビット 10:0 LN リンク B
tx_trs	[(N-1):0]	入力	トランスミッターの TRS 入力です。HD-SDI の LN および CRC の挿入で使います。 EAV TRS と SAV TRS の最初のワードでアサートします。
tx_std	[1:0]		トランスミッターのスタンダードです。 - SD-SDI = 00 - HD-SDI = 01 3G-SDI Level A = 11 3G-SDI Level B = 10 注意: この信号は、デバイスの起動またはコアのリセット前にセットアップされて安定している必要があります。
trs_loose_lock	[(N-1):0]	出力	プロトコル専用のレシーバーモードの TRS ロック信号です。この信号は、トランシーバー専用レシーバーブロックの rx_protocol_locked ピンに接続することができます。
crc_error_y	[1:0]	出力	ルーマチャネルの CRC エラーです。 - HD-SDI: ビット 1 未使用、ビット 0 crc_error_y - デュアルリンク: ビット 1 リンク B crc_error_y、ビット 0 リンク A crc_error_y 3G-SDI Level A: ビット 1 未使用、ビット 0 crc_error_y 3G-SDI Level B: ビット 1 リンク A crc_error_y、ビット 0 リンク B crc_error_y
crc_error_c	[1:0]	出力	クロマチャネルの CRC エラーです。 - HD-SDI: ビット 1 未使用、ビット 0 crc_error_c - デュアルリンク: ビット 1 リンク B crc_error_c、ビット 0 リンク A crc_error_c 3G-SDI Level A: ビット 1 未使用、ビット 0 crc_error_c 3G-SDI Level B: ビット 1 リンク A crc_error_c、ビット 0 リンク B crc_error_c
rx_AP	[1:0]	出力	これは、アクティブ画像間隔のタイミング信号です。アクティブ画像間隔がアクティブな際に、レシーバーはこの信号をアサートします。

continued...

信号	幅	方向	説明
			- SD-SDI/HD-SDI: ビット 1 未使用、ビット 0 rx_ap - デュアルリンク: ビット 1 リンク B 未使用、ビット 0 リンク A rx_ap 3G-SDI Level A: ビット 1 未使用、ビット 0 rx_ap 3G-SDI Level B: ビット 1 リンク A rx_ap、ビット 0 リンク B rx_ap
rxdata	[(20N-1):0]	出力	レシーバーの平行データです。SD-SDI では 9:0 を使用し、HD-SDI では 20N-1:0 を使用します。 - SD-SDI のビット 19:10 未使用、ビット 9:0 Cb、Y、Cr、Y マルチプレクス - HD-SDI のビット 19:10 Y、ビット 9:0 C - デュアルリンク: ビット 39:30 Y リンク B、ビット 29:20 C リンク B、ビット 19:10 Y リンク A、ビット 9:0 C リンク A 3G-SDI Level A: ビット 19:10 Y、ビット 9:0 C 3G-SDI Level B: ビット 19:10 Cb、Y、Cr、Y マルチプレクス (リンク A)、ビット 9:0 Cb、Y、Cr、Y マルチプレクス (リンク B)
rx_data_valid_out	[1:0]	出力	オーバーサンプリング・ロジックからのデータの Valid です。アサートされると、rxdata の現在のデータが有効であることを示します。このバスのビット 0 は、rxdata の有効なデータを示します。3G-SDI またはトリプル・スタンダードで SMPTE 425M-B 信号を受信している場合は、ビット 1 は rxdata のデータが仮想リンク A からであることを示します。ビット 0 はデータが仮想リンク B からであることを示します。
rx_F	[1:0]	出力	これは、フィールド・ビット・タイミング信号です。この信号は、現在アクティブなビデオフィールドを示します。インターレース・フレームの場合、0 は最初のフィールド (F0) を意味し、1 は 2 番目のフィールド (F1) を意味します。プログレッシブ・フレームの場合は、値は常に 0 です。 - SD-SDI/HD-SDI: ビット 1 未使用、ビット 0 rx_f - デュアルリンク: ビット 1 未使用、ビット 0 rx_f 3G-SDI Level A: ビット 1:0 未使用 3G-SDI Level B: ビット 1:0 未使用
rx_H	[1:0]	出力	これは、水平ブランキング間隔のタイミング信号です。水平ブランキング間隔がアクティブな場合に、レシーバーはこの信号をアサートします。 - SD-SDI/HD-SDI: ビット 1 未使用、ビット 0 rx_h - デュアルリンク: ビット 1 未使用、ビット 0 rx_h 3G-SDI Level A: ビット 1 未使用、ビット 0 rx_h 3G-SDI Level B: ビット 1 リンク A rx_h、ビット 0 リンク B rx_h
rx_ln	[21:0]	出力	レシーバーのライン番号です。 - HD-SDI = ビット 21:11 未使用、ビット 10:0 LN - デュアルリンク = ビット 21:11 未使用、ビット 10:0 LN 3G-SDI Level A = ビット 21:11 未使用、ビット 10:0 LN 3G-SDI Level B = ビット 21:11 LN リンク A、ビット 10:0 LN リンク B
rx_std_flag_hd_sdn	1	出力	デュアルまたはトリプル・スタンダード専用で、受信したスタンダードを示します。 HD-SDI = 1、SD-SDI = 0
rx_V	[1:0]	出力	これは、垂直ブランキング間隔のタイミング信号です。垂直ブランキング間隔がアクティブな場合に、レシーバーはこの信号をアサートします。

continued...

信号	幅	方向	説明
			- SD-SDI/HD-SDI: ビット 1 未使用、ビット 0 rx_v - デュアルリンク: ビット 1 未使用、ビット 0 rx_v 3G-SDI Level A: ビット 1 未使用、ビット 0 rx_v 3G-SDI Level B: ビット 1 リンク A rx_v、ビット 0 リンク B rx_v
rx_xyz	1	出力	レシーバーの出力で、現在のワードが XYZ ワードであることを示します。
xyz_valid	1	出力	レシーバーの出力で、現在の TRS フォーマットが有効である (XYZ ワードが正しい) ことを示します。
rx_eav	1	出力	レシーバーの出力で、現在の TRS が EAV であることを示します。
rx_trs	1	出力	レシーバーの出力で、現在のワードが TRS であることを示します。この信号は、3FF 000 000 TRS の最初のワードでアサートされます。
sdi_tx	[(N-1):0]	出力	シリアル出力
tx_protocol_out	[(20N-1):0]	出力	データ出力 (プロトコル専用モード)

次の図は、SDI トリプル・スタンダード・インスタンスの入力および出力インターフェイス信号を示しています。

図 -21: SDI トリプル・スタンダードのレシーバーにおけるインターフェイス信号

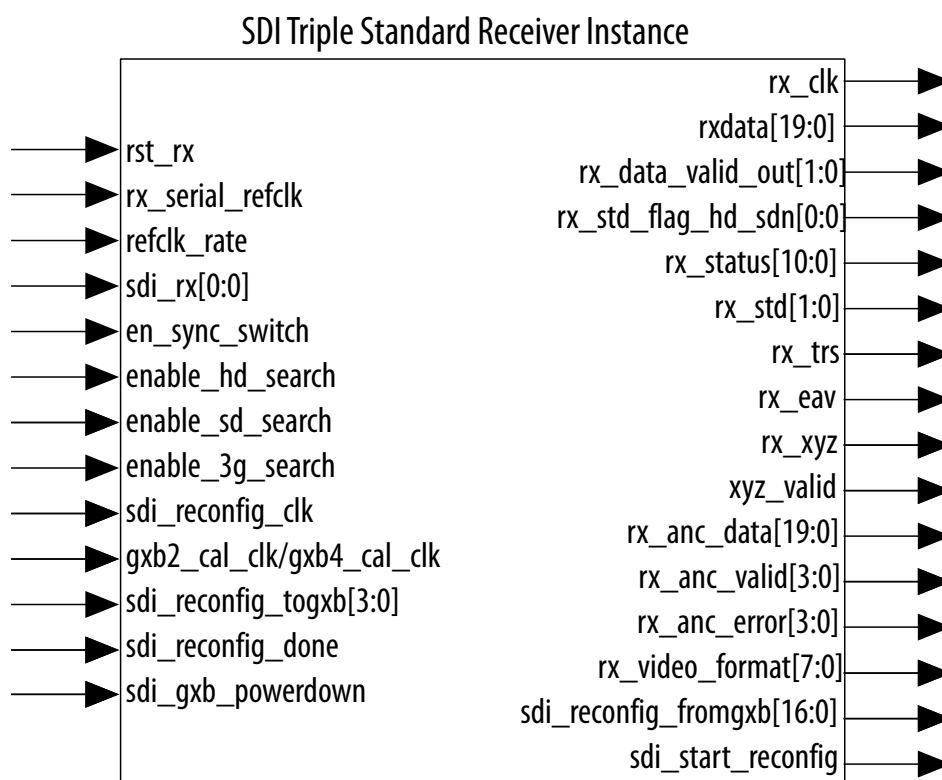


図 -22: SDI トリプル・スタンダードのトランスミッターにおけるインターフェイス信号

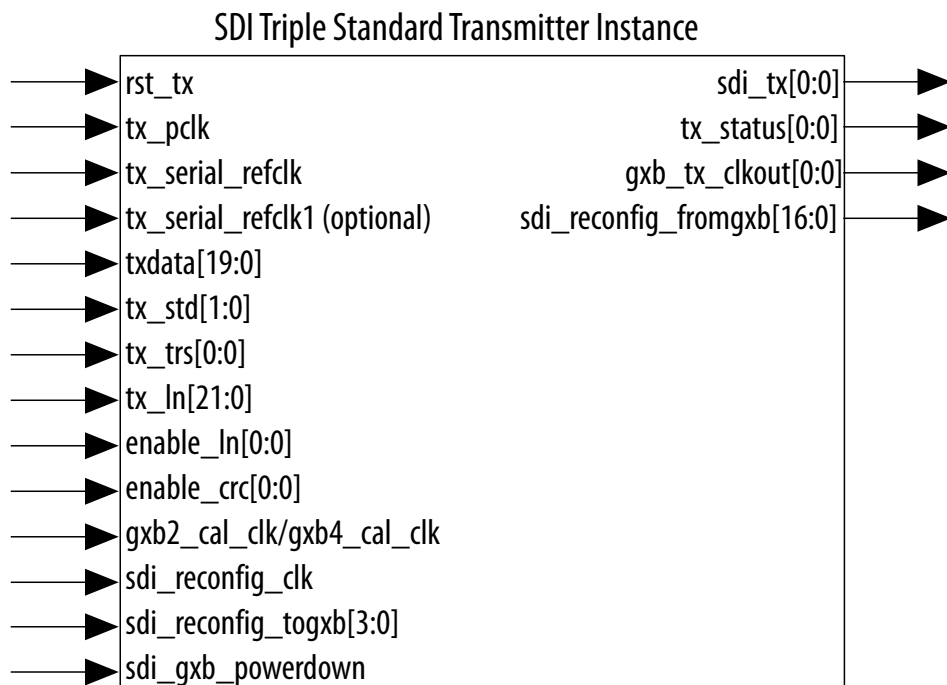
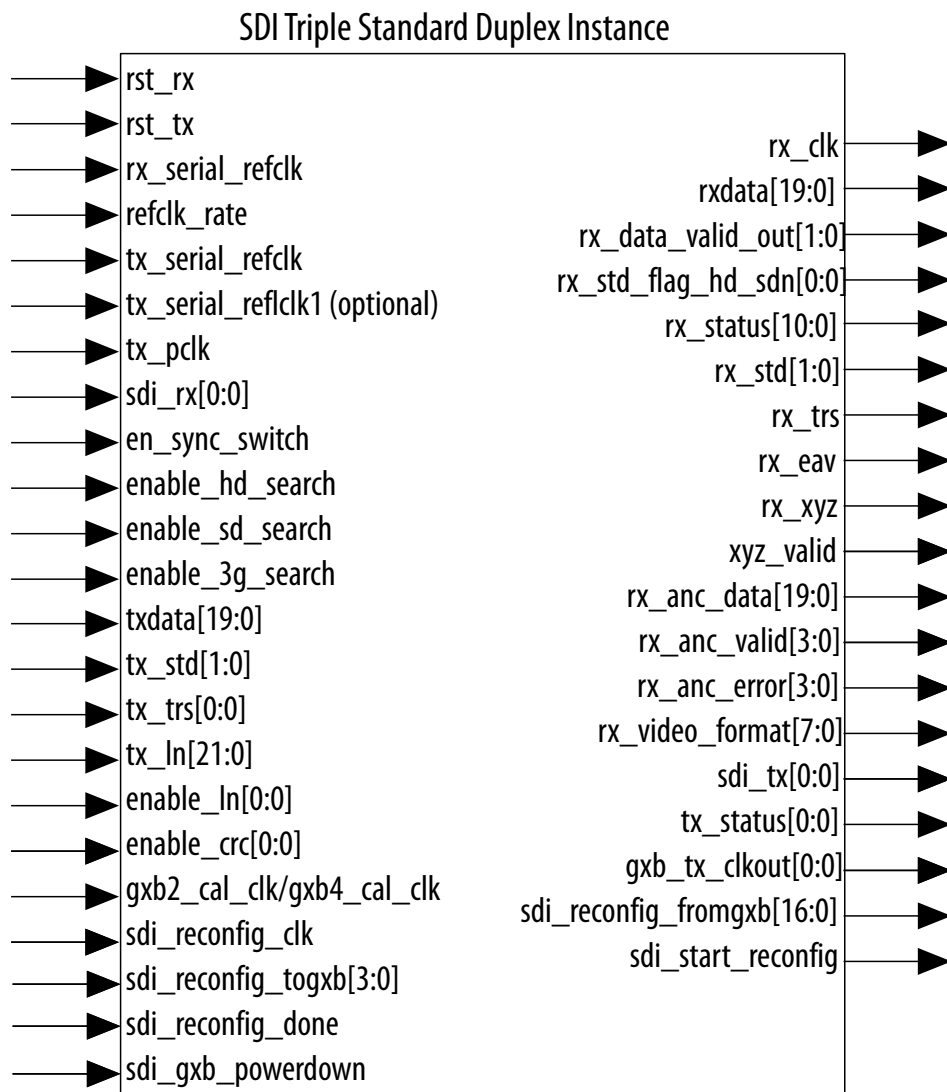


図 -23: SDI トリプル・スタンダードのデュプレックス・インスタンスにおけるインターフェイス信号



次の図は、特定の SDI インターフェイス信号の動作を表しています。

図 -24: レシーバーにおけるパワーアップ・リセット



図 -25: トランスミッターにおけるパワーアップ・リセット

rst_tx_sync は、送信回路の内部同期リセットです。

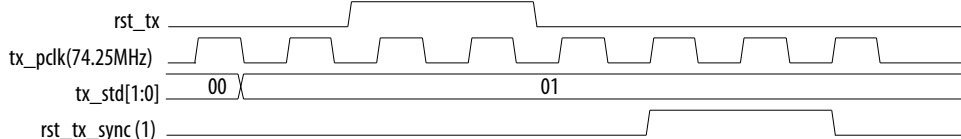


図 -26: tx_std, tx_trs, tx_ln 信号の動作 — 425MA

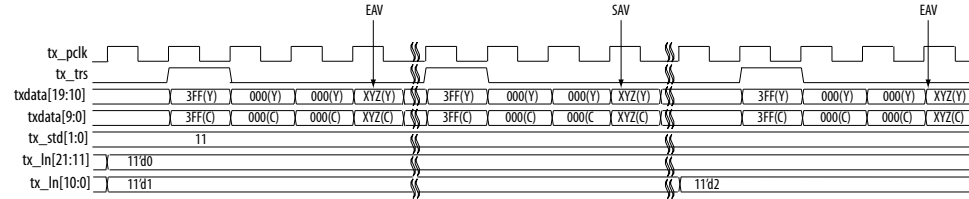


図 -27: tx_std, tx_trs, tx_ln 信号の動作 — 425MB

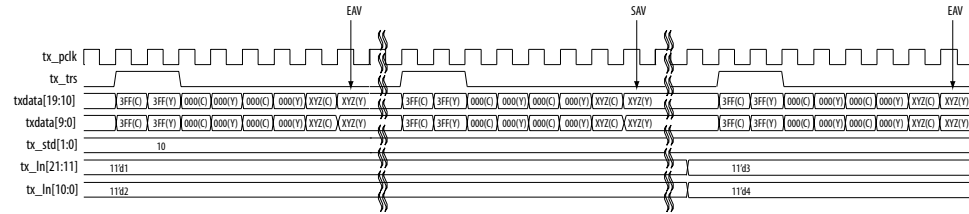
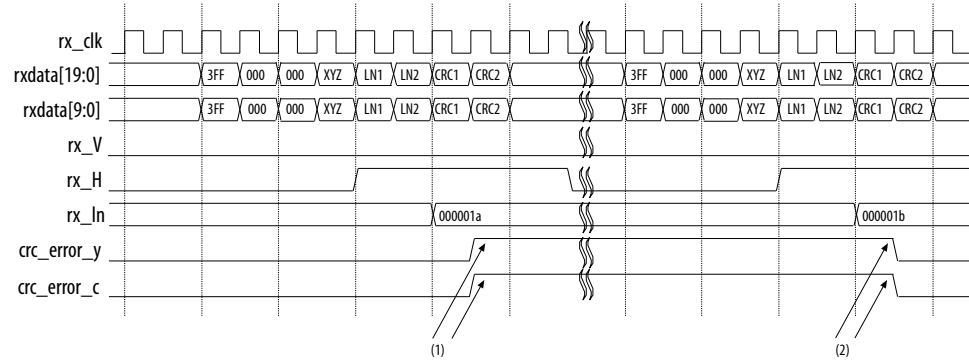


図 -28: crc_error_y および crc_error_c 信号の動作

CRCエラーが発生すると、crc_error_y または crc_error_c 信号が次のラインまで High になります。HD、デュアルリンク、および 3G Level A の場合は、crc_error_y[0] 信号と crc_error_c[0] 信号のみが使用されます。3G Level B の場合は、crc_error_y[0] 信号と crc_error_c[0] 信号がリンク B に使用され、crc_error_y[1] 信号と crc_error_c[1] 信号がリンク A に使用されます。



- (1) CRCエラー信号は、rx_H信号がHighの際に、CRCデータがチェックされた後にアサートされます。HighのCRC信号は、前のラインのデータにエラーがあることを示しています。この場合、YとCの両方にエラーがあります。
- (2) CRCエラー信号は、CRCデータが確認された後に、次のラインでデアサートされます。

図 -29: rx_data_valid 信号の動作 — 425MA

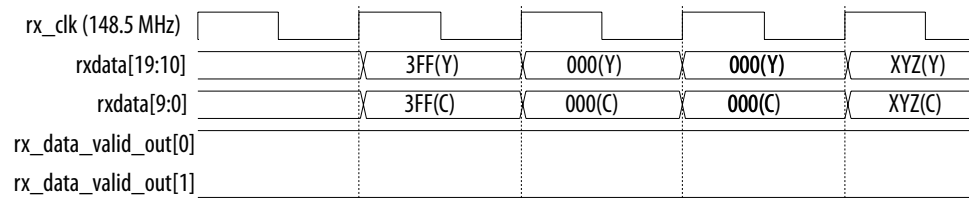


図 -30: rx_data_valid 信号の動作 — 425MB

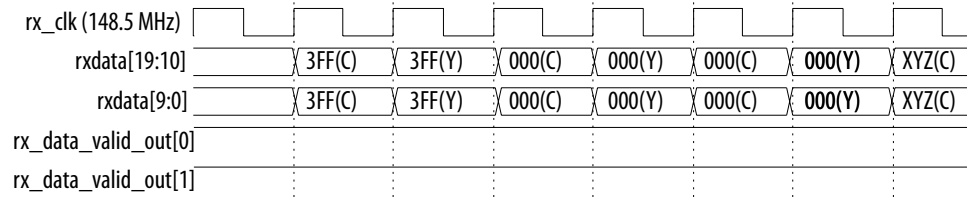


図 -31: rx_trs, rx_xyz, xyz_valid, rx_eav 信号の動作 — 425MA

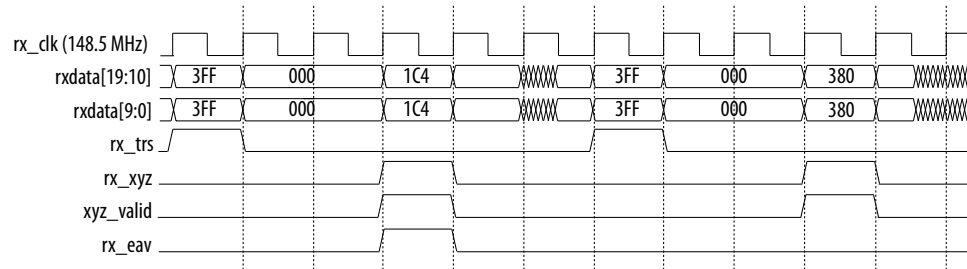
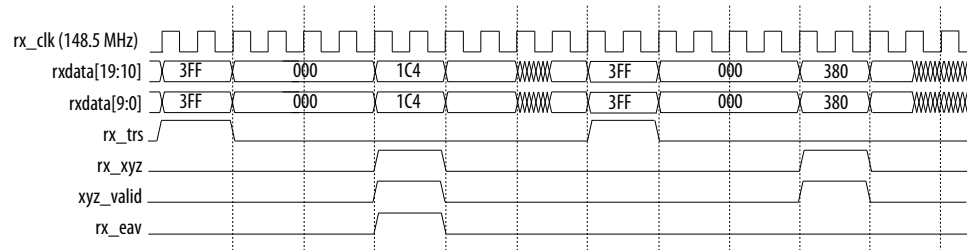


図 -32: rx_trs, rx_xyz, xyz_valid, rx_eav 信号の動作 — 425MB



4.3. SDI ステータス信号

信号	幅	方向	説明
rx_anc_data	[(20N-1):0]	出力	受信した補助データ - SD-SDI: ビット 19:10 未使用、9:0 Cb、Y、Cr、Y マルチプレクス - HD-SDI: ビット 19:10 Y、ビット 9:0 C - デュアルリンク: ビット 39:30 Y (リンク B)、ビット 29:20 C (リンク B)、ビット 19:10 Y (リンク A)、ビット 9:0 C (リンク A) 3G-SDI Level A: ビット 19:10 Y、ビット 9:0 C 3G-SDI Level B: ビット 19:10 Cb、Y、Cr、Y マルチプレクス (リンク A)、ビット 9:0 Cb、Y、Cr、Y マルチプレクス (リンク B)
rx_anc_error	[3:0]	出力	補助データまたはチェックサムのエラー

continued...

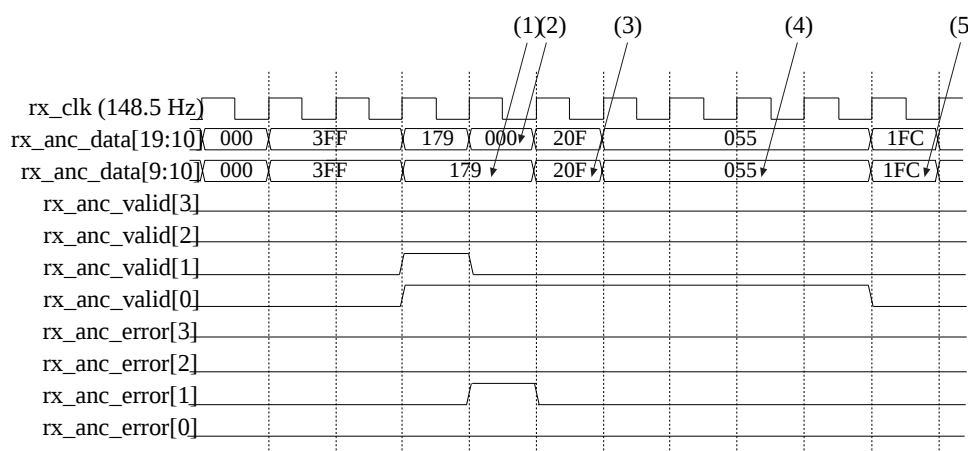
信号	幅	方向	説明
			- SD-SDI: ビット 3:1 未使用、ビット 0 rx_anc_error - HD-SDI: ビット 3:2 未使用、ビット 1 Y、ビット 0 C - デュアルリンク: ビット 3 Y (リンク B)、ビット 2 C (リンク B)、1 Y (リンク A)、ビット 0 C (リンク A) 3G-SDI Level A: ビット 3:2 未使用、ビット 1 Y、ビット 0 C 3G-SDI Level B: ビット 3 Y (リンク A)、ビット 2 C (リンク A)、ビット 1 Y (リンク B)、ビット 0 C (リンク B)
rx_anc_valid	[3:0]	出力	補助データの Valid で、アサートされる際は、rx_anc_data のデータ ID (DID)、2 次データ ID/データブロック番号 (SDID/DBN)、データカウント (DC)、ユーザー・データ・ワード (UDW) に不随します。 - SD-SDI: ビット 3:1 未使用、ビット 0 rx_anc_valid - HD-SDI: ビット 3:2 未使用、ビット 1 Y、ビット 0 C - デュアルリンク: ビット 3 Y (リンク B)、ビット 2 C (リンク B)、ビット 1 Y (リンク A)、ビット 0 C (リンク A) 3G-SDI Level A: ビット 3:2 未使用、ビット 1 Y、ビット 0 C 3G-SDI Level B: ビット 3 Y (リンク A)、ビット 2 C (リンク A)、ビット 1 Y (リンク B)、ビット 0 C (リンク B)
rx_status	[10:0]	出力	この信号は、トランシーバーベースのデバイスファミリーではアクティブ Low です。 レシーバーのステータス - rx_status[10] デュアル・リンク・ポートがアライメントされています - rx_status[9] リンク B のフレームがロックされています - rx_status[8] リンク B の TRS がロックされています (同じタイミングをもつ 6 つの連続する TRS) - rx_status[7] リンク B のアライメントがロックされています (TRS が検出され、ワード・アライメントが実行済みです) - rx_status[6] リンク B のレシーバーがリセットに入っています - rx_status[5] リンク B のトランシーバー PLL がロックされています - rx_status[4] リンク A のフレームがロックされています - rx_status[3] リンク A の TRS がロックされています (同じタイミングをもつ 6 つの連続する TRS) - rx_status[2] リンク A のアライメントがロックされています (TRS が検出され、ワード・アライメントが実行済みです) - rx_status[1] リンク A のレシーバーがリセットに入っています - rx_status[0] リンク A のトランシーバー PLL がロックされています HD-SDI のデュアル・リンク・バージョン以外の場合は、ビット [4:0] のみがアクティブです。 HD-SDI のデュアル・リンク・バージョンにおけるトランシーバー専用レシーバーブロックの場合は、ビット [6:5] と [1:0] のみがアクティブです。 この信号は、refclk ソースからトランシーバーをトレーニングしている際に PLL のロックを示します。HD-SDI または 3G-SDI モードでは、トランシーバーが着信データに正しくロックされている場合にこの信号を発振することができます。SD-SDI モードでは、この信号は常に PLL ロック状態で維持します。

continued...

信号	幅	方向	説明
			rx_status[3] と rx_status[8] の場合は、TRS の間隔が特定の SMPTE 規格を満たしている必要はありませんが、この信号をアクティブに保つには、経過する時間において間隔が一定である必要があります。
tx_status	[(N-1):0]	出力	この信号は、トランシーバーベースのデバイスファミリーではアクティブ Low です。 トランスミッターのステータスで、トランスミッターの PLL が tx_serial_refclk 信号にロックされていることを示します。

次の図は、rx_anc_data 信号の動作を表しています。

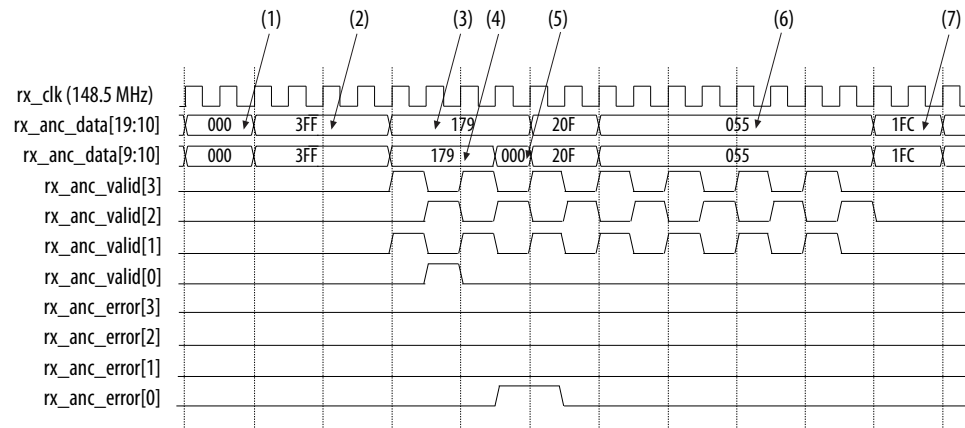
図 -33: rx_anc_data/valid/error 信号の動作 — 425MA/HD



注:

- (1) シーケンスはデータ識別子 (DID) で始まり、それに二次データ識別子 (SDID) またはデータブロック番号 (DBN) が続きます。
- (2) Yチャンネルに問題があります。
- (3) データカウント (DC)
- (4) ユーザー・データ・ワード (UDW) は最大255です。
- (5) チェックサム・ワード

図 -34: rx_anc_data/valid/error 信号の動作 — 425MB



注:
(1) 000 (C), 000 (Y)
(2) 3FF (C), 3FF (C), 3FF (Y)
(3) シーケンスはデータ識別子 (DID) で始まり、それに二次データ識別子 (SDID) またはデータブロック番号 (DBN) が続きます。
(4) リンクBのYチャネルに問題があります。
(5) データカウント (DC) ワード
(6) ユーザー・データ・ワード (UDW) は最大255です。
(7) チェックサム・ワード

図 -35: エラーがない場合の rx_anc_data/valid/error 信号の動作 — SD

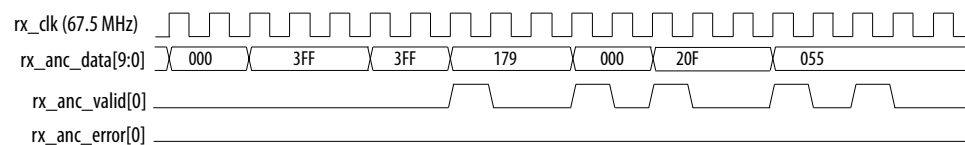
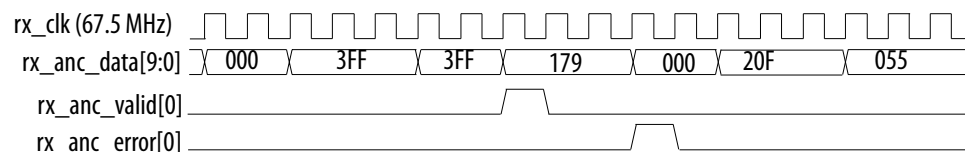


図 -36: エラーがある場合の rx_anc_data/valid/error 信号の動作 — SD



4.4. SDI トランシーバーのダイナミック・リコンフィグレーション信号

次の信号は、トランシーバーのダイナミック・リコンフィグレーション操作を処理します。

表 18. SDI トランシーバーのダイナミック・リコンフィグレーション信号

信号	方向	説明
SDI_RECONFIG_DONE	入力	IP コアに対して、リコンフィグレーションが完了したことを示します。この信号は、PLL のリコンフィグレーションには必要ありません。
SDI_RECONFIG_TOGXB 注 この信号は、リコンフィグレーション・メガファンクションに直接接続します。	入力	組み込みトランシーバー・インスタンスのデータ入力です。 データ幅

continued...

信号	方向	説明
		- Arria V, Cyclone V, および Stratix V デバイスの場合 = SDI_RECONFIG_TGXB[(140N-1)] : 0] または SDI_RECONFIG_TGXB[(70N-1)] : 0] — インターフェイスの設定でレシーバーを選択している場合。 - サポートされている他のデバイスの場合 = SDI_RECONFIG_TGXB[3 : 0] 注 SDI のトランスミッターでは、トランシーバーのダイナミック・リコンフィグレーションを使用する必要はありません。ただし、トランシーバーのダイナミック・リコンフィグレーションが有効になっているトランシーバー・クワッドにコアをマージできるようにするには、これらのポートを正しく接続する必要があります。
SDI_RECONFIG_CLK	入力	組み込みトランシーバー・インスタンスのクロック入力です。 注意: この信号は、Arria V, Cyclone V, および Stratix V デバイスには適用されません。 注 SDI のトランスミッターでは、トランシーバーのダイナミック・リコンフィグレーションを使用する必要はありません。ただし、トランシーバーのダイナミック・リコンフィグレーションが有効になっているトランシーバー・クワッドにコアをマージできるようにするには、これらのポートを正しく接続する必要があります。
SDI_GXB_POWERDOWN	入力	すべてのトランシーバー・インスタンスの回路の電源を切断し、リセットします。 注意: この信号は、Arria V, Cyclone V, および Stratix V デバイスには適用されません。
SDI_START_RECONFIG	出力	IP コアからの要求で、リコンフィグレーションを開始します。
SDI_RECONFIG_FROMGXB	出力	組み込みトランシーバー・インスタンスからのデータ出力です。 データ幅 - Arria V, Cyclone V, および Stratix V デバイスの場合 = SDI_RECONFIG_FROMGXB[(92N-1) : 0] または SDI_RECONFIG_FROMGXB[(46N-1) : 0] — インターフェイスの設定でレシーバーを選択している場合 - サポートされている他のデバイスの場合 = SDI_RECONFIG_FROMGXB[(17N-1) : 0]。Cyclone IV GX デバイスでは、SDI_RECONFIG_FROMGXB[16 : 5] を無視することができます。 注 SDI のトランスミッターでは、トランシーバーのダイナミック・リコンフィグレーションを使用する必要はありません。ただし、トランシーバーのダイナミック・リコンフィグレーションが有効になっているトランシーバー・クワッドにコアをマージできるようにするには、これらのポートを正しく接続する必要があります。
RX_STD[1:0]	出力	ビデオ規格を受信します。00 = SD-SDI, 01 = HD-SDI, 10 = 3G-SDI SDI IP コアでは、SMPTE の 425M-A と 425M-B のフォーマットのストリームをどちらもリカバリすることができます。レシーバーは、rx_std バスのレベルを設定することにより、検出しているフォーマットを示します。 - rx_std[1:0] = 2'b11 = 425M-A - rx_std[1:0] = 2'b10 = 425M-B
PLL_ARESET	入力	リコンフィグレーションされるトランシーバー PLL で areset 信号を駆動します。この信号は、そのトランシーバー PLL をリセットする必要があることを示しています。 注意: トランシーバーは、Cyclone IV GX デバイスでのみ利用することができます。
PLL_CONFIGUPDATE	入力	リコンフィグレーションされるトランシーバー PLL で configupdate 信号を駆動します。 注意: トランシーバーは、Cyclone IV GX デバイスでのみ利用することができます。
PLL_SCANCLK	入力	リコンフィグレーションされるトランシーバー PLL で scanclk 信号を駆動します。 注意: トランシーバーは、Cyclone IV GX デバイスでのみ利用することができます。
PLL_SCANCLKENA	入力	リコンフィグレーションされるトランシーバー PLL で scanclk 信号のクロックイネーブルとして機能します。 注意: トランシーバーは、Cyclone IV GX デバイスでのみ利用することができます。
PLL_SCANDATA	入力	リコンフィグレーションされるトランシーバー PLL で scandata 信号を駆動します。この信号は、ダイナミックにリコンフィグレーション可能なビットのトランシーバー PLL へのスキャンデータ入力を保持します。

continued...

信号	方向	説明
		注意: トランシーバーは、Cyclone IV GX デバイスでのみ利用することができます。
PLL_SCANDONE	出力	トランシーバー PLL がリコンフィグレーションされていることを特定します。 注意: トランシーバーは、Cyclone IV GX デバイスでのみ利用することができます。
PLL_SCANDATAOUT	出力	この信号は、ダイナミックにリコンフィグレーション可能なビットからのトランシーバー PLL のスキャンデータ出力を保持します。 注意: トランシーバーは、Cyclone IV GX デバイスでのみ利用することができます。

注意: インテル Quartus Prime 開発ソフトウェアのバージョン 8.1 以降では、Stratix IV のトランシーバーには、ALTGX_RECONFIG (トランシーバーのダイナミック・リコンフィグレーション) コントローラーを介してレシーバーバッファのキャリブレーションが必要です。追加の RECONFIG ポートのビットを使用して、レシーバーバッファのキャリブレーションを行います。これらのポートは、外部で ALTGX_RECONFIG コントローラーに接続する必要があります。

Cyclone IV デバイスを使用している場合は、次の信号を追加する必要があります。

Use PLL reconfiguration for transceiver dynamic reconfiguration オプションを SDI のパラメーター・エディターで選択している場合は、次の信号を ALTPLL_RECONFIG IP コアに直接接続し、これらの信号をトップレベルに公開します。

表 19. SDI トランシーバーのダイナミック・リコンフィグレーション信号 - Cyclone IV GX デバイスの場合

PLLのリコンフィグレーションには、rx_std 信号と sdi_start_reconfig 信号が必要です。

信号	方向	説明
PLL_ARESET	入力	リコンフィグレーションされるトランシーバー PLL で areset 信号を駆動します。この信号は、そのトランシーバー PLL をリセットする必要があることを示しています。
PLL_CONFIGUPDATE	入力	リコンフィグレーションされるトランシーバー PLL で configupdate 信号を駆動します。
PLL_SCANCLK	入力	リコンフィグレーションされるトランシーバー PLL で scanclk 信号を駆動します。
PLL_SCANCLKENA	入力	リコンフィグレーションされるトランシーバー PLL で scanclk 信号のクロックイネーブルとして機能します。
PLL_SCANDATA	入力	リコンフィグレーションされるトランシーバー PLL で scandata 信号を駆動します。この信号は、ダイナミックにリコンフィグレーション可能なビットのトランシーバー PLL へのスキャンデータ入力を保持します。
PLL_SCANDONE	出力	トランシーバー PLL がリコンフィグレーションされていることを特定します。
PLL_SCANDATAOUT	出力	この信号は、ダイナミックにリコンフィグレーション可能なビットからのトランシーバー PLL のスキャンデータ出力を保持します。

5. SDI IP コアの利用ガイド・アーカイブ

IP コアのバージョンが記載されていない場合は、以前の IP コアのバージョンに向けたユーザーガイドが適用されます。

インテル Quartus Prime のバージョン	ユーザーガイド
12.1	Serial Digital Interface (SDI) MegaCore Function User Guide

Intel Corporation. 無断での引用、転載を禁じます。Intel、インテル、Intel ロゴ、その他のインテルの名称やロゴは、Intel Corporation またはその子会社の商標です。インテルは FPGA 製品および半導体製品の性能がインテルの標準保証に準拠することを保証しますが、インテル製品およびサービスは、予告なく変更される場合があります。インテルが書面にて明示的に同意する場合を除き、インテルはここに記載されたアプリケーション、または、いかなる情報、製品、またはサービスの使用によって生じるいっさいの責任を負いません。インテル製品の顧客は、製品またはサービスを購入する前、および、公開済みの情報を信頼する前には、デバイスの仕様を最新のバージョンにしておくことをお勧めします。

*その他の社名、製品名などは、一般に各社の表示、商標または登録商標です。

ISO
9001:2015
登録済

6. SDI IP コアของผู้ใช้ 가이드 改訂履歴

表 20. ドキュメントの改訂履歴

ドキュメント・バージョン	インテル Quartus Prime のバージョン	変更内容
2020.08.20	19.1	- インテルとしてブランド名を変更しました。 - インテルでのこの IP コアのサポートは終了していることを示す通知を追加しました。この IP は、サポートなしで引き続き使用可能です。ただし、インテルでは、SDI II Intel FPGA IP を使用し、最新の機能と継続的なサポートをご利用いただくことを推奨しています。 - 次のデバイスに関する情報を削除しました。 - Arria GX - Cyclone, Cyclone II, Cyclone III - HardCopy III, HardCopy IV - Stratix, Stratix II, Stratix III インテルでは、これらのデバイスのサポートを終了しています。 - このユーザーガイドから <i>SDI Audio IP Cores</i> の章を削除しました。SDI のオーディオ情報に関しては、SDI Audio Intel FPGA IP User Guide を参照してください。

日付	バージョン	変更内容
2013 年 2 月	12.1	- バージョン 12.1 リリースの表 1-2、表 1-4、表 1-5、および表 1-7 を更新しました。 - 表 3-10 で、デブプレックスの設定に関する情報を更新しました。 - 表 3-12 で、rx_video_format 信号に関する情報を更新しました。 - 表 3-13 に注記を追加し、Arria V および Stratix V デバイスに関する情報を含めました。 - 表 3-14 (トランシーバー PHY の管理クロックとリセット信号) を追加しました。 - 表 3-18 で、rx_status 信号に関する情報を更新しました。 - 表 3-19 で、SDI_RECONFIG_TGXB および SDI_RECONFIG_FROMGXB 信号のデータ幅の情報を追加しました。 - 表 3-21 で、Starting channel number パラメーターの説明を更新しました。 - 図 3-25 で、リセットシーケンスの情報とタイミング図を追加しました。
2011 年 11 月	12.0	- Arria V および Stratix V デバイスに関する情報を追加しました。 - バージョン 11.1 リリースの表 1-2、表 1-5、表 1-6、および表 1-7 を更新しました。 - パラメーター化のセクションを更新し、Enable TX PLL select for 1/1.000 and 1/1.001 data rate reconfiguration オプションをオンにする追加手順を含めました。 - トランスミッターのクロックとトランシーバー — Arria GX, Arria II GX, Arria V, Cyclone IV GX, Cyclone V, Stratix II GX, Stratix IV GX, Stratix V デバイスのセクション、および表 3-7、表 3-9、図 3-3、図 3-8 を更新し、オプションのシリアル・リファレンス・クロックの機能に関する情報を含めました。 - 表 3-21 を Enable TX PLL select for 1/1.000 and 1/1.001 data rate reconfiguration パラメーターとともに更新しました。 - デュアル・スタンダードとトリプル・スタンダードのレシーバーにおけるトランシーバーのダイナミック・リコンフィギュレーションのセクションで情報を更新しました。 - 表 4-1、表 4-4、および表 4-14 を更新し、非同期モードと同期モードに関する情報を追加しました。

continued...

Intel Corporation. 無断での引用、転載を禁じます。Intel、インテル、Intel ロゴ、その他のインテルの名称やロゴは、Intel Corporation またはその子会社の商標です。インテルは FPGA 製品および半導体製品の性能がインテルの標準保証に準拠することを保証しますが、インテル製品およびサービスは、予告なく変更される場合があります。インテルが書面にて明示的に同意する場合を除き、インテルはここに記載されたアプリケーション、または、いかなる情報、製品、またはサービスの使用によって生じるいっさいの責任を負いません。インテル製品の顧客は、製品またはサービスを購入する前、および、公開済みの情報を信頼する前には、デバイスの仕様を最新のバージョンにしておくことをお勧めします。

*その他の社名、製品名などは、一般に各社の表示、商標または登録商標です。

ISO
9001:2015
登録済

日付	バージョン	変更内容
2011 年 7 月	11.1	- トランシーバーへのアクセスについての情報を追加しました。 - 表 3-12 を新しい信号 (refclk_rate, rx_video_format) とともに更新しました。 - SDI Audio IP コアのデザイン例のハイレベルブロック図を更新し、AES の入力および出力モジュールを含めました。 - SDI Audio IP コアのレジスタマップを更新しました。
2010 年 12 月	11.0	- SDI MegaCore ファンクションの新しい 2 つの GUI パラメーター (Enable Spread Spectrum feature と Tolerance to consecutive missed EAV) を追加しました。 - SDI Audio IP コアに関する章 (SDI Audio Embed, Audio Extract, Clocked Audio Input, Clocked Audio Output MegaCore functions) を追加しました。
2010 年 7 月	10.1	- Cyclone IV デバイスに関する情報を追加しました。 - Cyclone IV GX における PLL リコンフィグレーション・モードでのトランシーバーのダイナミック・リコンフィグレーションに関するセクションを追加しました。 - 表 3-18 で、PLL のリコンフィグレーションに向けたトランシーバーのダイナミック・リコンフィグレーション信号を追加しました。 - 図 3-29 と図 3-30 を更新し、tx_l_n 信号の動作を含めました。
2009 年 11 月	10.0	- Cyclone III LS と Cyclone IV のサポートを追加しました。 - 制約の指定のセクションを追加しました。 - 表 3-15 で、rst_rx 信号と rst_tx 信号の情報を更新しました。 - 入力および出力インターフェイス信号のフローに関するブロック図を追加しました。 - トランスミッターとレシーバーのトップレベルのブロック図を追加しました。
2009 年 5 月	9.1	- リコンフィグレーション時のリセット要件のセクションを追加しました。 - 表 3-15 で、txdata, tx_l_n, crc_error_y, crc_error_c, rx_AP, rxdata, rx_data_valid_out, rx_F, rx_H, rx_l_n, rx_V 信号に関する情報を更新しました。 - 表 3-17 で、rx_anc_data, rx_anc_error, rx_anc_valid, rx_status 信号に関する情報を更新しました。
2009 年 3 月	9.0	- Arria II GX のサポートを追加しました。 - RP168 に関するセクションを追加しました。 - ビデオ・フォーマットに関する情報を更新しました。 - tx_data_valid_a_bn 信号を削除しました。
2008 年 11 月	9.0	- アルゴリズムのロックに関するセクションを追加しました。 - 新しい信号を追加し、既存の信号の説明を更新しました。 - 付録 A: 制約を更新しました。
2008 年 5 月	8.1	- Stratix IV のサポートを追加しました。 - レシーバー・ロック・アルゴリズムを改善しました。 425MB のサポートを更新しました。
2007 年 10 月	8.0	- デバイスのサポートを更新しました。 - 規格のサポートを更新しました。3G-SDI は現在、<i>SMPTE425M-B 2006 3Gb/s Signal/Data Serial Interface – Source Image Format Mapping</i> をサポートします。 - rx_std 信号の説明を変更しました。 - tx_data_valid_a_bn 信号を追加しました。
continued...		

日付	バージョン	変更内容
2007 年 5 月	7.2	• デバイスのサポートを更新しました。 • デュアルおよびトリプル・スタンダードの情報を追加しました。 • トランシーバーのダイナミック・リコンフィグレーションについての情報を追加しました。
2006 年 12 月	7.0	Cyclone III デバイスのサポートを追加しました。
2006 年 12 月	6.1	新しい MegaWizard Plug-In マネージャーに対して更新しました。

A. 制約

SDI IP コアが確実に機能するためには、特定のインテル Quartus Prime の制約を実装する必要があります。

- クロック特性を指定
- フォルスパス、最大および最小遅延、マルチサイクル・パスなどのタイミングの例外を設定
- I/O ピンから 4 つのサンプリング・レジスターへのパス間のタイミングスキューを最小限に抑制
- 135MHz へのオーバーサンプリング・インターフェイスが独立したクロックドメインとして使用するオーバーサンプリング・クロックを設定

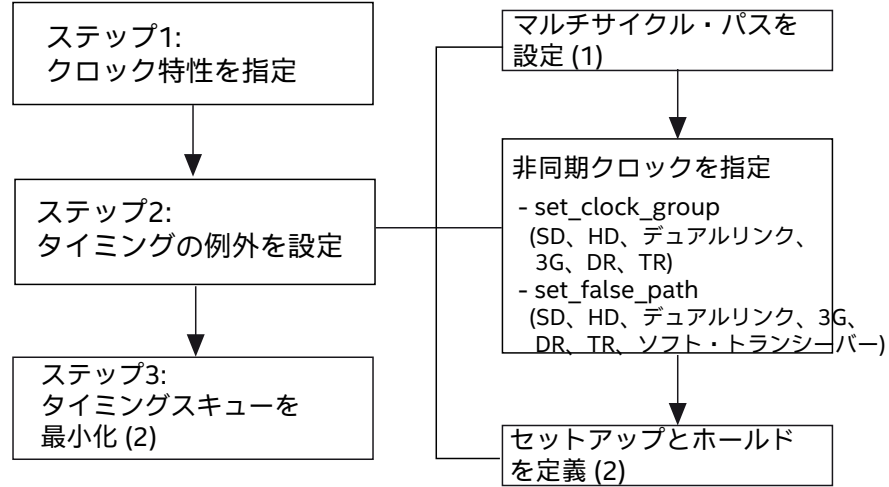
A.1. タイミング・アナライザーでの制約の指定

デザインがタイミングやその他の要件を満たしていることを保証するには、デザインを制約する必要があります。このセクションでは、TimeQuest タイミング・アナライザーを使用して SDI のデザインを適切に制約する際に必要な手順を説明します。

1. **Settings** ダイアログボックスの **Timing Analysis Settings** ページで、TimeQuest がデフォルトのタイミング・アナライザーとして指定されていることを確認します。
2. デザインのタイミング制約を指定する前に、初期のデザイン・データベースをコンパイルして作成します。Processing メニューで、**Start Compilation** をクリックします。コンパイルが完了したことを示すメッセージが表示されます。
3. Tools メニューで、**TimeQuest Timing Analyzer** をクリックします。
4. タイミング・ネットリストを作成し、**Tasks** ペインの **Create Timing Netlist** をダブルクリックします。タイミング・ネットリストが Report ペインに表示されます。
5. タイミング制約と例外を指定します。タイミングの要件を入力するには、制約入力ダイアログボックスを使用する、もしくは以前に作成した .sdc ファイルを編集します。
6. .sdc ファイルに制約を保存するには、Constraints メニューで **Write SDC File** をクリックします。

図 -37: デザインの制約についてのフロー

次の図は、デザインの制約に関するフローを示しています。



(1) SD-SDIにのみ適用

(2) ソフトSERDESにのみ適用

表 21. ステップ 1: クロック特性を指定

スタンダード	クロック	単位
SDI-SD	transceiver_data_rate	270Mbps
	tx_pclk	27MHz
	tx_serial_refclk	67.5MHz
	rx_sd_oversample_clk_in	67.5MHz
HD-SDI、HD-SDI デュアルリンク	transceiver_data_rate	1,485Mbps
	tx_pclk	74.25MHz
	tx_serial_refclk	74.25MHz
	rx_serial_refclk	74.25MHz
3G-SDI	transceiver_data_rate	2,970Mbps
	tx_pclk	148.5MHz
	tx_serial_refclk	148.5MHz
	rx_serial_refclk	148.5MHz
DR, TR	transceiver_data_rate	2,970Mbps
	tx_pclk	148.5MHz
	tx_serial_refclk	148.5MHz
	rx_serial_refclk	148.5MHz
ソフト・トランシーバー SDI	rx_sd_refclk_135	135MHz
	rx_sd_refclk_337	337MHz

continued...

スタンダード	クロック	単位
	rx_sd_refclk_337_90°	337MHz
	tx_sd_refclk_270	270MHz
	tx_pclk	27MHz

表 22. ステップ 2: タイミングの例外を設定

Switchline は、en_switch_reg 信号と同等の内部信号です。

スタンダード	マルチサイクルパスを設定	set_clock_group	set_false_path (1)	セットアップとホールドの関係を定義
SD-SDI	u_format*から u_format	tx_pclk、 transmit_pcs0 clkout(gxb_tx_corec lk)	switchline、 get_clocks receive_pcs0 clkout (gxb_rxclk)	—
HD-SDI、HD-SDI デュアルリンク、3G-SDI、DR、TR	—	rx_serial_refclk、 receive_pcs0 clkout (gxb_rxclk)	switchline、 get_clocks receive_pcs0 clkout (gxb_rxclk)	—
		tx_pclk、 transmit_pcs0 clkout(gxb_tx_corec lk)	—	
ソフト・トランシーバ — SDI	—	—	switchline、 get_clocks receive_pcs0 clkout (gxb_rxclk)	セットアップ - 337.5MHz、0 度のク ロックから 135MHz のクロックまでの 1.5 クロック (4.43ns) ホールド - 337.5MHz のクロッ クから 135MHz のク ロックまでの 0 クロ ック

表 23. ステップ 3: タイミングスキューを最小化

スタンダード	タイミングスキューの最小化
SD-SDI、HD-SDI、HD-SDI デュアルリンク、3G-SDI、DR、TR	—
ソフト・トランシーバ SDI	I/O から sample_a b c d[0] のパスを最短にする

A.1.1. Stratix IV デバイスを使用している SDI IP コアにおける制約

次の制約はおもに、デュプレックス SDI IP コアの制約に使用されます。

クロック特性の指定

- SD-SDI (rx_sd_oversample_clk_in = 67.5MHz、tx_pclk = 27MHz、tx_serial_refclk = 67.5MHz)

```
create_clock -name {rx_sd_oversample_clk_in} -period 14.814 -waveform
{ 0.000 7.407 } [get_ports {rx_sd_oversample_clk_in}]
create_clock -name {tx_pclk} -period 14.814 -waveform { 0.000 7.407 }
```

```
[get_ports {tx_pclk}]
create_clock -name {tx_serial_refclk} -period 14.814 -waveform { 0.000
7.407 } [get_ports {tx_serial_refclk}]
```

- HD-SDI、HD-SDI デュアルリンク (rx_serial_refclk = 74.25MHz、tx_pclk = 74.25MHz、tx_serial_refclk = 74.25MHz)

```
create_clock -name {rx_serial_refclk} -period 13.468 -waveform { 0.000
6.734 } [get_ports {rx_serial_refclk}]
create_clock -name {tx_pclk} -period 13.468 -waveform { 0.000 6.734 }
[get_ports {tx_pclk}]
create_clock -name {tx_serial_refclk} -period 13.468 -waveform { 0.000
6.734 } [get_ports {tx_serial_refclk}]
```

- 3G-SDI (rx_serial_refclk = 148.5MHz、tx_pclk = 148.5MHz、tx_serial_refclk = 148.5MHz)

```
create_clock -name {rx_serial_refclk} -period 6.734 -waveform { 0.000
3.367 } [get_ports {rx_serial_refclk}]
create_clock -name {tx_pclk} -period 6.734 -waveform { 0.000 3.367 }
[get_ports {tx_pclk}]
create_clock -name {tx_serial_refclk} -period 6.734 -waveform { 0.000
3.367 } [get_ports {tx_serial_refclk}]
```

- デュアル・スタンダード、トリプル・スタンダード SDI

```
create_clock -name {rx_serial_refclk} -period 6.734 -waveform { 0.000
3.367 } [get_ports {rx_serial_refclk}]
create_clock -name {tx_serial_refclk} -period 6.734 -waveform { 0.000
3.367 } [get_ports {tx_serial_refclk}]
create_clock -name {tx_pclk} -period 6.734 -waveform { 0.000 3.367 }
[get_ports {tx_pclk}]
```

- ソフト・トランシーバー SDI

```
create_clock -name {rx_sd_refclk_135} -period 7.407 -waveform { 0.000
3.703 } [get_ports {rx_sd_refclk_135}]
create_clock -name {rx_sd_refclk_337} -period 2.967 -waveform { 0.000
1.484 } [get_ports {rx_sd_refclk_337}]
create_clock -name {rx_sd_refclk_337_90deg} -period 2.967 -waveform { 0.000
1.484 } [get_ports {rx_sd_refclk_337_90deg}]
create_clock -name {tx_sd_refclk_270} -period 3.703 -waveform { 0.000
1.852 } [get_ports {tx_sd_refclk_270}]
create_clock -name {tx_pclk} -period 37.037 -waveform { 0.000 18.519 }
[get_ports {tx_pclk}]
```

マルチサイクル・パスの設定

一部のデバイスファミリーおよびスピードグレードでは、SDI IP コアのフォーマット・ブロックでタイミング違反が発生する場合があります。SD-SDI の場合、これらの違反はマルチサイクルであり、次の制約をデザインに適用することで修正することができます。

注意: これらの制約は、SD-SDI にのみ適用されます。他のビデオ規格では、違反はシングルサイクル・パスです。

```
set_multicycle_path -setup -end -from [get_keepers
{sdi_megacore_top:sdi_megacore_top_inst|
sdi_txrx_port:sdi_txrx_port_gen[0].u_txrx_port|sdi_format:format_gen.u_format|
*}] -to [get_keepers {sdi_megacore_top:sdi_megacore_top_inst|
sdi_txrx_port:sdi_txrx_port_gen[0].u_txrx_port|sdi_format:format_gen.u_format|
*}] 2
set_multicycle_path -hold -end -from [get_keepers
{sdi_megacore_top:sdi_megacore_top_inst|
sdi_txrx_port:sdi_txrx_port_gen[0].u_txrx_port|sdi_format:format_gen.u_format|
```

```
*}} -to [get_keepers {sdi_megacore_top:sdi_megacore_top_inst|
sdi_txrx_port:sdi_txrx_port_gen[0].u_txrx_port|sdi_format:format_gen.u_format|
*}} 1
```

排他的または非同期クロックを指定

SDI IP コアは、低速グレードのデバイスでタイミング違反を示す場合があります。これらのパスでは高速のタイミングが必要ないため、次の制約を使用してこれらのタイミングパスを除外することができます。これには、コマンドの `set_clock_groups` または `set_false_path` を使用します。

注意:

次の SDC コマンドは、デュプレックス・コアおよび Stratix IV デバイスにのみ適用されます。制約入力ダイアログボックスを使用して、個々のレシーバーコアまたはトランスミッター・コア、およびその他のデバイスファミリーを制約する必要があります。

- SD-SDI

```
set_clock_groups -exclusive -group [get_clocks {tx_pclk}] -group
[get_clocks {sdi_megacore_top_inst|sdi_txrx_port_gen[0].u_txrx_port|
gen_duplex_alt4gxb.u_gxb|alt4gxb_component|auto_generated|transmit_pcs0|
clkout}]
set_false_path -from [get_keepers {sdi_megacore_top:sdi_megacore_top_inst|
sdi_txrx_port:sdi_txrx_port_gen[0].u_txrx_port|switchline}] -to [get_clocks
{sdi_megacore_top_inst|sdi_txrx_port_gen[0].u_txrx_port|
gen_duplex_alt4gxb.u_gxb|alt4gxb_component|auto_generated|receive_pcs0|
clkout}]
```

- HD-SDI、3G-SDI、デュアル・スタンダード、トリプル・スタンダード SDI

```
set_clock_groups -exclusive -group [get_clocks {rx_serial_refclk}] -group
[get_clocks {sdi_megacore_top_inst|sdi_txrx_port_gen[0].u_txrx_port|
gen_duplex_alt4gxb.u_gxb|alt4gxb_component|auto_generated|receive_pcs0|
clkout}]
set_clock_groups -exclusive -group [get_clocks {tx_pclk}] -group
[get_clocks {sdi_megacore_top_inst|sdi_txrx_port_gen[0].u_txrx_port|
gen_duplex_alt4gxb.u_gxb|alt4gxb_component|auto_generated|transmit_pcs0|
clkout}]
set_false_path -from [get_keepers {sdi_megacore_top:sdi_megacore_top_inst|
sdi_txrx_port:sdi_txrx_port_gen[0].u_txrx_port|switchline}] -to [get_clocks
{sdi_megacore_top_inst|sdi_txrx_port_gen[0].u_txrx_port|
gen_duplex_alt4gxb.u_gxb|alt4gxb_component|auto_generated|receive_pcs0|
clkout}]
```

- HD-SDI デュアルリンク (チャンネルを追加する場合)

```
set_clock_groups -exclusive -group [get_clocks {rx_serial_refclk}] -group
[get_clocks {sdi_megacore_top_inst|sdi_txrx_port_gen[1].u_txrx_port|
gen_duplex_alt4gxb.u_gxb|alt4gxb_component|auto_generated|receive_pcs0|
clkout}]
set_false_path -from [get_keepers {sdi_megacore_top:sdi_megacore_top_inst|
sdi_txrx_port:sdi_txrx_port_gen[0].u_txrx_port|switchline}] -to [get_clocks
{sdi_megacore_top_inst|sdi_txrx_port_gen[0].u_txrx_port|
gen_duplex_alt4gxb.u_gxb|alt4gxb_component|auto_generated|receive_pcs0|
clkout}]
set_clock_groups -exclusive -group [get_clocks {tx_pclk}] -group
[get_clocks {sdi_megacore_top_inst|sdi_txrx_port_gen[1].u_txrx_port|
gen_duplex_alt4gxb.u_gxb|alt4gxb_component|auto_generated|transmit_pcs0|
clkout}]
set_false_path -from [get_keepers {sdi_megacore_top:sdi_megacore_top_inst|
sdi_txrx_port:sdi_txrx_port_gen[1].u_txrx_port|switchline}] -to [get_clocks
{sdi_megacore_top_inst|sdi_txrx_port_gen[1].u_txrx_port|
gen_duplex_alt4gxb.u_gxb|alt4gxb_component|auto_generated|receive_pcs0|
clkout}]
```

135MHz のクロックと 337.5MHz、0 度のクロックの間のセットアップとホールドの関係を定義

これらの制約は、ソフト・トランシーバー SDI にのみ適用されます。

- セットアップ - 337.5MHz、0 度のクロックから 135MHz のクロックまでの 1.5 クロック (4.43ns)
- ホールド - 337.5MHz のクロックから 135MHz のクロックまでの 0 クロック
set_min_delay コマンドを使用して、特定のパスの絶対最小遅延を指定します。

```
set_min_delay -from [get_clocks {rx_sd_refclk_337}] -to [get_clocks {rx_sd_refclk_135}] 0.000
```

set_max_delay コマンドを使用して、特定のパスの絶対最大遅延を指定します。

```
set_max_delay -from [get_clocks {rx_sd_refclk_337}] -to [get_clocks {rx_sd_refclk_135}] 4.430
```

タイミングスキューの最小化

I/O ピンから 4 つのサンプリング・レジスターへのパス間のタイミングスキューを最小限に抑える必要があります。

- sample_a[0]
- sample_b[0]
- sample_c[0]
- sample_d[0]

タイミングスキューを最小限に抑えるには、次の内容を行います。

- サンプリング・レジスターが相互に近接し、シリアル入力ピン付近になるように手で配置します。
- これらの 4 つのレジスターは 4 つの異なるクロックドメインを使用するため、4 つのレジスターのうち 2 つを 1 つの LAB に配置し、他の 2 つを別の LAB に配置します。
- 次に、シリアル入力の配置に関係なく、選択した 2 つの LAB を同じ行に配置します。
- 最後に、4 つのサンプリング・レジスターは I/O のすぐ隣の行または列に配置するのではなく、I/O バンクの隣の 2 番目の行または列に配置します。この位置により、コアの相互接続と比較して、I/O バンクとその直接の行または列の間の LAB 間相互接続が早くなります。

次のコードは制約例であり、インテル Quartus Prime Assignment Editor を使用して設定することができます。

```
set_location_assignment PIN_99 -to sdi_rx
set_location_assignment LC_X32_Y17_N0 -to
"sdi_megacore_top:sdi_megacore_top_inst|
sdi_txrx_port:sdi_txrx_port_gen[0].u_txrx_port|
soft_serdes_rx:rx_soft_serdes_gen.soft_serdes_rx_inst|serdes_s2p:u_s2p|
sample_a[0]"
set_location_assignment LC_X33_Y17_N0 -to
"sdi_megacore_top:sdi_megacore_top_inst|
sdi_txrx_port:sdi_txrx_port_gen[0].u_txrx_port|
soft_serdes_rx:rx_soft_serdes_gen.soft_serdes_rx_inst|serdes_s2p:u_s2p|
sample_b[0]"
set_location_assignment LC_X32_Y17_N1 -to
"sdi_megacore_top:sdi_megacore_top_inst|
sdi_txrx_port:sdi_txrx_port_gen[0].u_txrx_port|
soft_serdes_rx:rx_soft_serdes_gen.soft_serdes_rx_inst|serdes_s2p:u_s2p|
sample_c[0]"
set_location_assignment LC_X33_Y17_N1 -to
"sdi_megacore_top:sdi_megacore_top_inst|
```

```
sdi_txxr_port:sdi_txxr_port_gen[0].u_txxr_port|
soft_serdes_rx:rx_soft_serdes_gen.soft_serdes_rx_inst|serdes_s2p:u_s2p|
sample_d[0]"
```

A.2. SDI ソフト・トランシーバーの制約

これらの制約は、サポートされているすべてのデバイスファミリーで、レシーバーにソフト・トランシーバーを使用するようにコンフィグレーションされている場合に適用されます。

135MHz のクロックと 337.5MHz、0 度のクロックの間に次のセットアップとホールドの関係を定義します。

- セットアップ - 337.5MHz、0 度のクロックから 135MHz のクロックまでの 1.5 クロック (4.43ns)
- ホールド - 337.5MHz のクロックから 135MHz のクロックまでの 0 クロック

IP コア内に PLL を含めることを選択した場合は、次の制約を変更し、それらをデザインに適用します。もしくは、SDI IP コアの rx_sd_refclk_337 信号と rx_sd_refclk_135 信号に接続されているクロックに同様の制約を適用します。

クラシック・タイミング・アナライザー

クラシック・タイミング・アナライザーには、次の制約を使用します。

```
set_instance_assignment -name SETUP_RELATIONSHIP "4.43 ns" -from
"<your_megacore:your_megacore_inst>|sdi_megacore_top:sdi_megacore_top_inst|
sdi_clocks:u_sdi_clocks|stratix_c2_pll_sclk:u_rx_pll|altpll:altpll_component|
_clk0" -to "<your_megacore:your_megacore_inst>|
sdi_megacore_top:sdi_megacore_top_inst|sdi_clocks:u_sdi_clocks|
stratix_c2_pll_sclk:u_rx_pll|altpll:altpll_component|_clk2"
set_instance_assignment -name HOLD_RELATIONSHIP "0 ns" -from
"<your_megacore:your_megacore_inst>|sdi_megacore_top:sdi_megacore_top_inst|
sdi_clocks:u_sdi_clocks|stratix_c2_pll_sclk:u_rx_pll|altpll:altpll_component|
_clk0" -to "<your_megacore:your_megacore_inst>|
sdi_megacore_top:sdi_megacore_top_inst|sdi_clocks:u_sdi_clocks|
stratix_c2_pll_sclk:u_rx_pll|altpll:altpll_component|_clk2"
```

TimeQuest タイミング・アナライザー

TimeQuest タイミング・アナライザーには、次の制約を使用します。

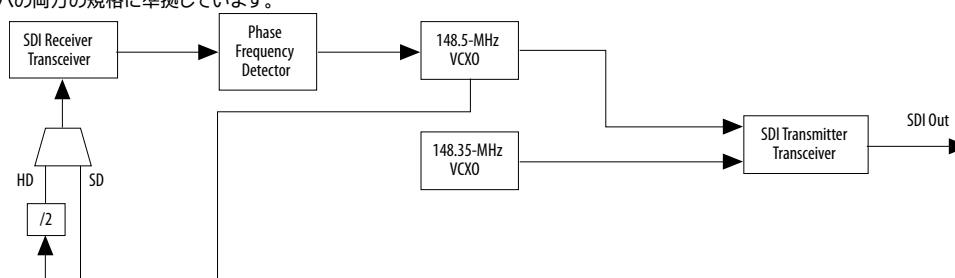
```
set_max_delay 4.43 -from {<your_megacore:your_megacore_inst>|
sdi_megacore_top:sdi_megacore_top_inst|sdi_clocks:u_sdi_clocks|
stratix_c2_pll_sclk:u_rx_pll|altpll:altpll_component|_clk0} -to
{<your_megacore:your_megacore_inst>|sdi_megacore_top:sdi_megacore_top_inst|
sdi_clocks:u_sdi_clocks|stratix_c2_pll_sclk:u_rx_pll|altpll:altpll_component|
_clk2}
set_min_delay 0 -from {<your_megacore:your_megacore_inst>|
sdi_megacore_top:sdi_megacore_top_inst|sdi_clocks:u_sdi_clocks|
stratix_c2_pll_sclk:u_rx_pll|altpll:altpll_component|_clk0} -to
{<your_megacore:your_megacore_inst>|sdi_megacore_top:sdi_megacore_top_inst|
sdi_clocks:u_sdi_clocks|stratix_c2_pll_sclk:u_rx_pll|altpll:altpll_component|
_clk2}
```

B. クロック

B.1. クロックのバージョン

図 -38: バージョン 11.1 以降の国際クロック

次の図は、国際クロックを使用して SDI コアのトランシーバーにクロックを提供する方法を示しています。クロックは、アメリカとヨーロッパの両方の規格に準拠しています。



Intel Corporation. 無断での引用、転載を禁じます。Intel、インテル、Intel ロゴ、その他のインテルの名称やロゴは、Intel Corporation またはその子会社の商標です。インテルは FPGA 製品および半導体製品の性能がインテルの標準保証に準拠することを保証しますが、インテル製品およびサービスは、予告なく変更される場合があります。インテルが書面にて明示的に同意する場合を除き、インテルはここに記載されたアプリケーション、または、いかなる情報、製品、またはサービスの使用によって生じるいっさいの責任を負いません。インテル製品の顧客は、製品またはサービスを購入する前、および、公開済みの情報を信頼する前には、デバイスの仕様を最新のバージョンにしておくことをお勧めします。

*その他の社名、製品名などは、一般に各社の表示、商標または登録商標です。

ISO
9001:2015
登録済

C. 受信と再送信

HD および 3G のリカバリークロックを送信に再利用することはできません。トランスミッターのジッターは、入力ジッターとジッター伝達関数に完全に依存します。

SDI IP コアでのシステムロックに対する一般的な推奨アプローチは、デバイスの外部で電圧制御水晶発振器 (VCXO) を使用することです。VCXO は、SDI IP コアからのレシーバークロックにロックしている必要があります。次に、SDI IP コアはクリーンな VCXO 出力を送信クロックとして使用します。

C.1. ループバック FIFO バッファ

より効率的な伝送の実現には、レシーバークロック・ドメイン・ロジックと送信クロック・ドメイン・ロジックの間に FIFO またはバッファを配置します。

デコードされたレシーバークロックのデータは、FIFO バッファを介してトランスミッターの入力に接続します。レシーバークロックされると、ロジックはレシーバークロックのデータを FIFO バッファに書き込みます。FIFO の半分が満たされると、トランスミッターはデータの読み出し、エンコーディング、および送信を開始します。

図 -39: 受信および再送信のクロックスキーム

次の図は、受信および再送信されるデータのクロックスキームを示しています。

