

Arria V 器件数据表

内容

Arria® V GX, GT, SX 和 ST 器件数据表.....	1-1
电气特性.....	1-1
操作条件.....	1-1
开关特性.....	1-23
收发器性能规范.....	1-23
内核性能规范.....	1-42
外设性能.....	1-48
HPS 规范.....	1-57
配置规范.....	1-73
POR 规范.....	1-74
FPGA JTAG 配置时序.....	1-74
FPP 配置时序.....	1-75
AS 配置时序.....	1-78
AS 配置方案中的 DCLK 频率规范.....	1-79
PS 配置时序.....	1-80
初始化.....	1-81
配置文件.....	1-81
最短配置时间评估.....	1-82
远程系统更新.....	1-84
用户看门狗内部振荡器频率规范.....	1-84
I/O 时序.....	1-84
可编程的 IOE 延时.....	1-85
可编程输出缓存延迟.....	1-85
术语.....	1-86
文档修订历史.....	1-92

Arria V GZ 器件数据表	2-1
电气特性.....	2-1
操作条件.....	2-1
开关特性.....	2-21
收发器性能规范.....	2-21
内核性能规范.....	2-38
外设性能.....	2-45
配置规范.....	2-57
POR 规范.....	2-57
JTAG 配置规范.....	2-58
快速被动并行(FPP)配置时序.....	2-58
主动串行配置时序.....	2-66
被动串行配置时序.....	2-68
初始化.....	2-70
配置文件.....	2-70
远程系统更新电路时序规范.....	2-71
用户看门狗内部振荡器频率规范.....	2-72
I/O 时序.....	2-72
可编程的 IOE 延时.....	2-73
可编程输出缓存延迟.....	2-73
术语.....	2-74
文档修订历史.....	2-79

2015.06.16

AV-51002



此数据表描述了 Arria® V 器件的电气特性，开关特性，配置规格和 I/O 时序。

Arria V 器件提供于商业和工业等级中。商业器件提供于 - C4 (最快)，- C5 和 - C6 速度等级中。工业等级器件提供于 - I3 和 - I5 速度等级中。

相关链接

[Arria V 器件概述](#)

提供了关于 Arria V 系列中器件的密度和封装的详细信息。

电气特性

以下章节描述了 Arria V 器件的操作条件和功耗。

操作条件

Arria V 器件根据一组定义的参数进行分级。要保持 Arria V 器件的可能最高性能及可靠性，您必须考虑本节所述的操作要求。

绝对最大额定值

本节定义了 Arria V 器件的最大操作条件。这些值是基于器件和击穿损伤机理的理论模型的实验得到的。这些条件不适用于器件的功能操作。

Intel Corporation. All rights reserved. Intel, the Intel logo, Altera, Arria, Cyclone, Enpirion, MAX, Nios, Quartus and Stratix words and logos are trademarks of Intel Corporation or its subsidiaries in the U.S. and/or other countries. Intel warrants performance of its FPGA and semiconductor products to current specifications in accordance with Intel's standard warranty, but reserves the right to make changes to any products and services at any time without notice. Intel assumes no responsibility or liability arising out of the application or use of any information, product, or service described herein except as expressly agreed to in writing by Intel. Intel customers are advised to obtain the latest version of device specifications before relying on any published information and before placing orders for products or services.

*Other names and brands may be claimed as the property of others.

ISO
9001:2008
Registered

这些条件不适用于器件的功能操作。

警告: 下表中列出的范围以外的条件可能会对器件造成永久性损坏。此外，如果最大额定值上的器件操作在延长的时间周期，那么可能会对器件造成不良的影响。

表 1-1: Arria V 器件的绝对最大额定值

符号	说明	最小值	最大值	单位
V _{CC}	内核电压电源	- 0.50	1.43	V
V _{CCP}	外围电路，PCIe® hard IP 模块和收发器物理编码子层(PCS)电源	- 0.50	1.43	V
V _{CCPGM}	配置管脚电源	- 0.50	3.90	V
V _{CC_AUX}	辅助电源	- 0.50	3.25	V
V _{CCBAT}	设计安全易失性密钥寄存器的电池后备电源 ☒	- 0.50	3.90	V
V _{CCPD}	I/O 预驱动器电源	- 0.50	3.90	V
V _{CCIO}	I/O 电源	- 0.50	3.90	V
V _{CCD_FPLL}	锁相环(PLL)数字电源	- 0.50	1.80	V
V _{CCA_FPLL}	PLL 模拟电源	- 0.50	3.25	V
V _{CCA_GXB}	收发器高压电源	- 0.50	3.25	V
V _{CCH_GXB}	发送器输出缓冲器电源	- 0.50	1.80	V
V _{CCR_GXB}	接收器电源	- 0.50	1.50	V
V _{CCT_GXB}	发送器电源	- 0.50	1.50	V
V _{CCL_GXB}	收发器时钟网络电源	- 0.50	1.50	V
V _I	DC 输入电压	- 0.50	3.80	V
V _{CC_HPS}	HPS 内核电压和外围电路电源	- 0.50	1.43	V
V _{CCPD_HPS}	HPS I/O 预驱动器电源	- 0.50	3.90	V

符号	说明	最小值	最大值	单位
V _{CCIO_HPS}	HPS I/O 电源	- 0.50	3.90	V
V _{CCRSTCLK_HPS}	HPS 复位和时钟输入管脚电源	- 0.50	3.90	V
V _{CCPLL_HPS}	HPS PLL 模拟电源	- 0.50	3.25	V
V _{CC_AUX_SHARED}	HPS 辅助电源	- 0.50	3.25	V
I _{OUT}	每个管脚的 DC 输出电流	- 25	40	mA
T _J	操作结温	- 55	125	°C
T _{STG}	储存温度（无偏差）	- 65	150	°C

所允许的最大过冲和下冲电压

跳变期间，输入信号可能过程到下表列出的电压，对于小于 100 mA 的输入电流和短于 20 ns 的周期，输入信号可能下冲至 -2.0 V。

所允许的最大过冲持续时间指定为器件生命周期中高时间的百分比。DC 信号等同于 100% 占空比。

例如，一个过冲到 4.00 V 的信号只能在 4.00 V 上保持器件生命周期的~15%；对于一个 10 年的器件生命周期，过冲时间总共为 1.5 年。

表 1-2: Arria V 器件跳变期间的最大允许过冲

此表列出了最大允许的输入过冲电压和表示为器件生命周期的百分比的过冲电压持续时间。



符号	说明	条件(V)	过冲持续时间, 表示为高时间的百分比	单位
Vi (AC)	AC 输入电压	3.8	100	%
		3.85	68	%
		3.9	45	%
		3.95	28	%
		4	15	%
		4.05	13	%
		4.1	11	%
		4.15	9	%
		4.2	8	%
		4.25	7	%
		4.3	5.4	%
		4.35	3.2	%
		4.4	1.9	%
		4.45	1.1	%
		4.5	0.6	%
		4.55	0.4	%
		4.6	0.2	%

建议的操作条件

此部分列出了 Arria V 器件的 AC 和 DC 参数的功能操作限制。

建议的操作条件

表 1-3: Arria V 器件的建议操作条件

此表列出了 Arria V 器件预期的稳态电压值。电源坡道必须是单调的, 不能有平缓处。

符号	说明	条件	最小 ⁽¹⁾	典型	最大 ⁽¹⁾	单位
V_{CC}	内核电压电源	- C4, - I5, - C5, - C6	1.07	1.1	1.13	V
		- I3	1.12	1.15	1.18	V
V_{CCP}	外围电路, PCIe hard IP 模块和收发器 PCS 电源	- C4, - I5, - C5, - C6	1.07	1.1	1.13	V
		- I3	1.12	1.15	1.18	V
V_{CCPGM}	配置管脚电源	3.3 V	3.135	3.3	3.465	V
		3.0 V	2.85	3.0	3.15	V
		2.5 V	2.375	2.5	2.625	V
		1.8 V	1.71	1.8	1.89	V
V_{CC_AUX}	辅助电源	—	2.375	2.5	2.625	V
$V_{CCBAT}^{(2)}$	电池后备电源 (用于设计安全易失性密钥寄存器)	—	1.2	—	3.0	V
$V_{CCPD}^{(3)}$	I/O 预驱动器电源	3.3 V	3.135	3.3	3.465	V
		3.0 V	2.85	3.0	3.15	V
		2.5 V	2.375	2.5	2.625	V

⁽¹⁾ 此电源值描述了 DC (静态) 电源容限的预算, 不包括动态容限要求。关于动态容限要求的额外预算, 请参考 PDN 工具。

⁽²⁾ 如果不使用 Arria V 器件中的设计安全特性, 那么将 V_{CCBAT} 连接到 1.5-V, 2.5-V 或 3.0-V 电源。Arria V 上电复位(POR)电路监控 V_{CCBAT} 。如果 V_{CCBAT} 没有上电, 那么 Arria V 器件不会退出 POR。

⁽³⁾ 当 V_{CCIO} 是 2.5, 1.8, 1.5, 1.35, 1.25 或 1.2 V 时, V_{CCPD} 必须是 2.5 V。当 V_{CCIO} 是 3.0 V 时, V_{CCPD} 必须是 3.0 V。当 V_{CCIO} 是 3.3 V 时, V_{CCPD} 必须是 3.3 V。

符号	说明	条件	最小 ⁽¹⁾	典型	最大 ⁽¹⁾	单位
V _{CCIO}	I/O 缓冲器电源	3.3 V	3.135	3.3	3.465	V
		3.0 V	2.85	3.0	3.15	V
		2.5 V	2.375	2.5	2.625	V
		1.8 V	1.71	1.8	1.89	V
		1.5 V	1.425	1.5	1.575	V
		1.35 V	1.283	1.35	1.418	V
		1.25 V	1.19	1.25	1.31	V
		1.2 V	1.14	1.2	1.26	V
V _{CCD_FPLL}	PLL 数字电压调节器电源	—	1.425	1.5	1.575	V
V _{CCA_FPLL}	PLL 模拟电压调节器电源	—	2.375	2.5	2.625	V
V _I	DC 输入电压	—	− 0.5	—	3.6	V
V _O	输出电压	—	0	—	V _{CCIO}	V
T _J	操作结温	商业	0	—	85	°C
		工业	− 40	—	100	°C
t _{RAMP} ⁽⁴⁾	电源斜坡时间	标准 POR	200 μs	—	100 ms	—
		快速 POR	200 μs	—	4 ms	—

⁽¹⁾ 此电源值描述了 DC（静态）电源容限的预算，不包括动态容限要求。关于动态容限要求的额外预算，请参考 PDN 工具。

⁽⁴⁾ 这也应用于 HPS 电源。关于 HPS 电源，请参考 t_{RAMP} 规范来了解当 HPS_PORSEL = 0 时的标准 POR，参考 t_{RAMP} 规范来了解当 HPS_PORSEL = 1 时的快速 POR。

收发器电源操作条件

表 1-4: Arria V 器件的收发器电源操作条件

符号	说明	最小值 ⁽⁵⁾	典型值	最大值 ⁽⁵⁾	单位
V _{CCA_GXBL}	收发器高压电源 (左侧)	2.375	2.500	2.625	V
V _{CCA_GXBR}	收发器高压电源 (右侧)				
V _{CCR_GXBL}	GX 和 SX 速度等级—接收器电源(左侧)	1.08/1.12	1.1/1.15 ⁽⁶⁾	1.14/1.18	V
V _{CCR_GXBR}	GX 和 SX 速度等级—接收器电源(右侧)				
V _{CCT_GXBL}	GT 和 ST 速度等级—接收器电源(左侧)	1.17	1.20	1.23	V
V _{CCT_GXBR}	GT 和 ST 速度等级—接收器电源(右侧)				
V _{CCT_GXBL}	GX 和 SX 速度等级—发送器电源(左侧)	1.08/1.12	1.1/1.15 ⁽⁶⁾	1.14/1.18	V
V _{CCT_GXBR}	GX 和 SX 速度等级—发送器电源(右侧)				
V _{CCT_GXBL}	GT 和 ST 速度等级—发送器电源(左侧)	1.17	1.20	1.23	V
V _{CCT_GXBR}	GT 和 ST 速度等级—发送器电源(右侧)				
V _{CCH_GXBL}	发送器输出缓冲器电源(左侧)	1.425	1.500	1.575	V
V _{CCH_GXBR}	发送器输出缓冲器电源(右侧)				
V _{CCL_GXBL}	GX 和 SX 速度等级—时钟网络电源(左侧)	1.08/1.12	1.1/1.15 ⁽⁶⁾	1.14/1.18	V
V _{CCL_GXBR}	GX 和 SX 速度等级—时钟网络电源(右侧)				
V _{CCL_GXBL}	GT 和 ST 速度等级—时钟网络电源(左侧)	1.17	1.20	1.23	V
V _{CCL_GXBR}	GT 和 ST 速度等级—时钟网络电源(右侧)				

⁽⁵⁾ 此电源值描述了 DC (静态) 电源容限的预算, 不包括动态容限要求。关于动态容限要求的额外预算, 请参考 PDN 工具。

⁽⁶⁾ 当数据速率 ≤ 3.2 Gbps 时, 将 V_{CCR_GXBL/R}, V_{CCT_GXBL/R} 或 V_{CCL_GXBL/R} 连接到 1.1-V 或 1.15-V 电源。当数据速率 > 3.2 Gbps 时, 将 V_{CCR_GXBL/R}, V_{CCT_GXBL/R} 或 V_{CCL_GXBL/R} 连接到 1.15-V 电源。关于详细信息, 请参考 Arria V GT, GX, ST 和 SX 器件系列管脚连接指南。

相关链接

[Arria V GT, GX, ST 和 SX 器件系列管脚连接指南](#)

提供了关于不同数据速率的电源连接的详细信息。

HPS 电源操作条件

表 1-5: Arria V SX 和 ST 器件的 HPS 电源操作条件

此表列出了基于 ARM® 的硬核处理器系统(HPS)的 Arria V 片上系统 (SoC) 器件的期望稳态电压和电流值。电源坡道必须是单调的，不能有平缓处。请参考 Arria V 器件的建议操作条件表来了解 Arria V SoC 器件的 FPGA 部分的期望稳态电压值。

符号	说明	条件	最小值 ⁽⁷⁾	典型值	最大值 ⁽⁷⁾	单位
V _{CC_HPS}	HPS 内核电压和外围电路电源	- C4, - I5, - C5, - C6	1.07	1.1	1.13	V
		- I3	1.12	1.15	1.18	V
V _{CCPD_HPS} ⁽⁸⁾	HPS I/O 预驱动器电源	3.3 V	3.135	3.3	3.465	V
		3.0 V	2.85	3.0	3.15	V
		2.5 V	2.375	2.5	2.625	V
V _{CCIO_HPS}	HPS I/O 缓冲器电源	3.3 V	3.135	3.3	3.465	V
		3.0 V	2.85	3.0	3.15	V
		2.5 V	2.375	2.5	2.625	V
		1.8 V	1.71	1.8	1.89	V
		1.5 V	1.425	1.5	1.575	V
		1.35 V ⁽⁹⁾	1.283	1.35	1.418	V
		1.2 V	1.14	1.2	1.26	V

⁽⁷⁾ 此电源值描述了 DC (静态) 电源容限的预算，不包括动态容限要求。关于动态容限要求的额外预算，请参考 PDN 工具。

⁽⁸⁾ 当 V_{CCIO_HPS} 是 2.5, 1.8, 1.5 或 1.2 V 时，V_{CCPD_HPS} 必须是 2.5 V。当 V_{CCIO_HPS} 是 3.0 V 时，V_{CCPD_HPS} 必须是 3.0 V。当 V_{CCIO_HPS} 是 3.3 V 时，V_{CCPD_HPS} 必须是 3.3 V。

⁽⁹⁾ V_{CCIO_HPS} 1.35 V 仅被 HPS 行 I/O bank 支持。

符号	说明	条件	最小值 ⁽⁷⁾	典型值	最大值 ⁽⁷⁾	单位
V _{CCRSTCLK_HPS}	HPS 复位和时钟输入管脚电源	3.3 V	3.135	3.3	3.465	V
		3.0 V	2.85	3.0	3.15	V
		2.5 V	2.375	2.5	2.625	V
		1.8 V	1.71	1.8	1.89	V
V _{CCPLL_HPS}	HPS PLL 模拟电压调节器电源	—	2.375	2.5	2.625	V
V _{CC_AUX_SHARED}	HPS 辅助电源	—	2.375	2.5	2.625	V

相关链接

[建议的操作条件](#) (第 1-4 页)

提供了器件的 FPGA 部分的稳态电压值。

DC 特征**供电电流和功耗**

Altera 提供两种方法对您的设计功耗进行评估—Excel-based Early Power Estimator (EPE)和 Quartus® II PowerPlay Power Analyzer 特性。

开始您的设计前使用 Excel-based EPE 评估设计的供电电流。EPE 提供一个器件功耗的幅度评估，因为这些电流根据所使用资源会有很大不同。

Quartus II PowerPlay Power Analyzer 在您完成布局布线后根据设计规格提供更高质量的评估。PowerPlay Power Analyzer 应用一个用户输入，源自仿真的和评估信号活动的组合，当与详细的电路模型相结合时，会实现一个非常精确的功耗评估。

相关链接

- [PowerPlay 早期功耗估算器用户指南](#)
提供了关于功耗估算工具的详细信息。
- [Quartus II 手册中的 PowerPlay 功耗分析章节](#)
提供了关于功耗估算工具的详细信息。

⁽⁷⁾ 此电源值描述了 DC（静态）电源容限的预算，不包括动态容限要求。关于动态容限要求的额外预算，请参考 PDN 工具。

I/O 管脚漏电流

表 1-6: Arria V 器件的 I/O 管脚漏电流

符号	说明	条件	最小值	典型值	最大值	单位
I_I	输入管脚	$V_I = 0\text{ V to }V_{CCIOMAX}$	- 30	—	30	μA
I_{OZ}	三态 I/O 管脚	$V_O = 0\text{ V to }V_{CCIOMAX}$	- 30	—	30	μA

总线保持规格

表 1-7: Arria V 器件的总线保持参数

总线保持跳变点基于从 JEDEC 标准计算的输入电压。

参数	符号	条件	V _{CCIO} (V)												单位
			1.2		1.5		1.8		2.5		3.0		3.3		
			最小值	最大值	最小值	最大值	最小值	最大值	最小值	最大值	最小值	最大值	最小值	最大值	
Bus-hold, low, sustaining current	I _{SUSL}	V _{IN} > V _{IL} (max)	8	—	12	—	30	—	50	—	70	—	70	—	μA
Bus-hold, high, sustaining current	I _{SUSH}	V _{IN} < V _{IH} (min)	− 8	—	− 12	—	− 30	—	− 50	—	− 70	—	− 70	—	μA
Bus-hold, low, overdrive current	I _{ODL}	0 V < V _{IN} < V _{CCIO}	—	125	—	175	—	200	—	300	—	500	—	500	μA

参数	符号	条件	V _{CCIO} (V)												单位
			1.2		1.5		1.8		2.5		3.0		3.3		
			最小值	最大值	最小值	最大值	最小值	最大值	最小值	最大值	最小值	最大值	最小值	最大值	
Bus-hold, high, overdrive current	I _{ODH}	0 V <V _{IN} <V _{CCIO}	—	– 125	—	– 175	—	– 200	—	– 300	—	– 500	—	– 500	μA
Bus-hold trip point	V _{TRIP}	—	0.3	0.9	0.375	1.125	0.68	1.07	0.7	1.7	0.8	2	0.8	2	V

OCT 校准精度规格

如果使能了片上匹配(OCT)校准，那么对连接到校准模块的 I/O 自动执行校准。

表 1-8: Arria V 器件的 OCT 校准精度规范

校准的片上串行匹配(R_S OCT)和片上并行匹配 (R_T OCT)的校准精度应用在校准时。当校准后工艺，电压和温度 (PVT)条件发生变化时，容限也可能会改变。

符号	说明	条件(V)	校准精度			单位
			– I3, – C4	– I5, – C5	– C6	
25- Ω R _S	带校准的内部串行匹配 (25- Ω 设置)	V _{CCIO} = 3.0, 2.5, 1.8, 1.5, 1.2	±15	±15	±15	%
50- Ω R _S	带校准的内部串行匹配 (50- Ω 设置)	V _{CCIO} = 3.0, 2.5, 1.8, 1.5, 1.2	±15	±15	±15	%
34- Ω 和 40- Ω R _S	带校准的内部串行匹配 (34- Ω 和 40- Ω 设置)	V _{CCIO} = 1.5, 1.35, 1.25, 1.2	±15	±15	±15	%
48- Ω , 60- Ω 和 80- Ω R _S	带校准的内部串行匹配(48- Ω , 60- Ω 和 80- Ω 设置)	V _{CCIO} = 1.2	±15	±15	±15	%



符号	说明	条件(V)	校准精度			单位
			- I3, - C4	- I5, - C5	- C6	
50- Ω R_T	带校准的内部并行匹配 (50- Ω 设置)	$V_{CCIO} = 2.5, 1.8, 1.5, 1.2$	-10 到+40	-10 到+40	-10 到+40	%
20- Ω , 30- Ω , 40- Ω , 60- Ω 和 120- Ω R_T	带校准的内部并行匹配(20- Ω , 30- Ω , 40- Ω , 60- Ω 和 120- Ω 设置)	$V_{CCIO} = 1.5, 1.35, 1.25$	-10 到+40	-10 到+40	-10 到+40	%
60- Ω 和 120- Ω R_T	带校准的内部并行匹配 (60- Ω 和 120- Ω 设置)	$V_{CCIO} = 1.2$	-10 to +40	-10 到+40	-10 到+40	%
25- Ω $R_{S_left_shift}$	带校准的内部左移串行匹配 (25- Ω $R_{S_left_shift}$ 设置)	$V_{CCIO} = 3.0, 2.5, 1.8, 1.5, 1.2$	± 15	± 15	± 15	%

无校准阻值容差的 OCT 规范

表 1-9: Arria V 器件的无校准阻值容差的 OCT 规范

下表列出了对应 PVT 变化的无校准阻值容差的 Arria V OCT。

符号	说明	条件(V)	阻值容差			单位
			- I3, - C4	- I5, - C5	- C6	
25- Ω R_S	无校准的内部串行匹配 (25- Ω 设置)	$V_{CCIO} = 3.0, 2.5$	± 30	± 40	± 40	%
25- Ω R_S	无校准的内部串行匹配 (25- Ω 设置)	$V_{CCIO} = 1.8, 1.5$	± 30	± 40	± 40	%
25- Ω R_S	无校准的内部串行匹配 (25- Ω 设置)	$V_{CCIO} = 1.2$	± 35	± 50	± 50	%
50- Ω R_S	无校准的内部串行匹配 (50- Ω 设置)	$V_{CCIO} = 3.0, 2.5$	± 30	± 40	± 40	%

符号	说明	条件(V)	阻值容差			单位
			- I3, - C4	- I5, - C5	- C6	
50-Ω R _S	无校准的内部串行匹配 (50-Ω 设置)	V _{CCIO} = 1.8, 1.5	±30	±40	±40	%
50-Ω R _S	无校准的内部串行匹配 (50-Ω 设置)	V _{CCIO} = 1.2	±35	±50	±50	%
100-Ω R _D	内部差分匹配 (100-Ω 设置)	V _{CCIO} = 2.5	±25	±40	±40	%

图 1-1: 无重新校准的 OCT 变化的公式

$$R_{OCT} = R_{SCAL} \left(1 + \left\langle \frac{dR}{dT} \times \Delta T \right\rangle \pm \left\langle \frac{dR}{dV} \times \Delta V \right\rangle \right)$$

公式的定义如下:

- 计算得到的 R_{OCT} 值显示了温度和 V_{CCIO} 变化的 OCT 阻值的范围。
- R_{SCAL} 是上电时的 OCT 阻值。
- ΔT 是相对于上电时的温度变化。
- ΔV 是相对于上电时 V_{CCIO} 的电压变化。
- dR/dT 是 R_{SCAL} 同温度的百分比变化。
- dR/dV 是 R_{SCAL} 同电压的百分比变化。

上电校准后的 OCT 变化

表 1-10: Arria V 器件的上电校准后的 OCT 变化

此表列出了上电校准后随着温度和电压变化的 OCT 变化。OCT 变化对±5%的 V_{CCIO} 范围和 0°到 85°C 的温度范围有效。



符号	说明	V _{CCIO} (V)	值	单位
dR/dV	无重新校准随电压变化的 OCT 变化	3.0	0.100	%/mV
		2.5	0.100	
		1.8	0.100	
		1.5	0.100	
		1.35	0.150	
		1.25	0.150	
		1.2	0.150	
dR/dT	无重新校准随温度变化的 OCT 变化	3.0	0.189	%/°C
		2.5	0.208	
		1.8	0.266	
		1.5	0.273	
		1.35	0.200	
		1.25	0.200	
		1.2	0.317	

管脚电容

表 1-11: Arria V 器件的管脚电容

符号	说明	值	单位
C _{IOTB}	顶部/底部 I/O 管脚上的输入电容	6	pF
C _{IOLR}	左侧/右侧 I/O 管脚上的输入电容	6	pF
C _{OUTFB}	复用时钟输出/反馈管脚上的输入电容	6	pF
C _{IIOVREF}	V _{REF} 管脚上的输入电容	48	pF

热插拔（Hot Socketing）

表 1-12: Arria V 器件的热插拔规范

符号	说明	最大值	单位
I _{IOPIN} (DC)	每个 I/O 管脚上的 DC 电流	300	μ A
I _{IOPIN} (AC)	每个 I/O 管脚上的 AC 电流	8 ⁽¹⁰⁾	mA
I _{XCVR-TX} (DC)	每个收发器发送器(TX)管脚上的 DC 电流	100	mA
I _{XCVR-RX} (DC)	每个收发器接收器(RX)管脚上的 DC 电流	50	mA

内部弱上拉电阻

除了配置，测试和 JTAG 管脚的所有其他 I/O 管脚都有一个使能弱上拉功能的选项。

⁽¹⁰⁾ I/O 斜坡率(ramp rate)是 10 ns 或更多。对于快于 10 ns 的斜坡率， $|I_{IOPIN}| = C dv/dt$ ，其中 C 是 I/O 管脚电容，dv/dt 是斜率(slew rate)。



表 1-13: Arria V 器件的内部弱上拉电阻值

符号	说明	条件(V) ⁽¹¹⁾	值 ⁽¹²⁾	单位
R _{PU}	配置前和配置期间的 I/O 管脚上拉电阻的值，如果使能了可编程上拉电阻选项，那么也是用户模式下的 I/O 管脚上拉电阻的值	V _{CCIO} = 3.3 ±5%	25	kΩ
		V _{CCIO} = 3.0 ±5%	25	kΩ
		V _{CCIO} = 2.5 ±5%	25	kΩ
		V _{CCIO} = 1.8 ±5%	25	kΩ
		V _{CCIO} = 1.5 ±5%	25	kΩ
		V _{CCIO} = 1.35 ±5%	25	kΩ
		V _{CCIO} = 1.25 ±5%	25	kΩ
		V _{CCIO} = 1.2 ±5%	25	kΩ

相关链接

[Arria V GT, GX, ST 和 SX 器件系列管脚连接指南](#)

提供了有关支持内部弱上拉和内部弱下拉功能的管脚的详细信息。

I/O 标准规范

此部分中的表格列出了 Arria V 器件支持的各种 I/O 标准的输入电压(V_{IH} 和 V_{IL})，输出电压(V_{OH} 和 V_{OL})和电流驱动特征(I_{OH} 和 I_{OL})。

您必须执行时序收敛分析来决定通用 I/O 标准的可达到的最大频率。

⁽¹¹⁾ 如果外部源驱动高于 V_{CCIO} 的管脚，那么管脚上拉电阻值可能会更低。

⁽¹²⁾ 有效的±10%容差，以符合 PVT 变化。

单端 I/O 标准

表 1-14: Arria V 器件的单端 I/O 标准

I/O 标准	V _{CCIO} (V)			V _{IL} (V)		V _{IH} (V)		V _{OL} (V)	V _{OH} (V)	I _{OL} ⁽¹³⁾ (mA)	I _{OH} ⁽¹³⁾ (mA)
	最小值	典型值	最大值	最小值	最大值	最小值	最大值	最大值	最小值		
3.3-V LVTTL	3.135	3.3	3.465	-0.3	0.8	1.7	3.6	0.45	2.4	4	-4
3.3-V LVCMOS	3.135	3.3	3.465	-0.3	0.8	1.7	3.6	0.2	V _{CCIO} - 0.2	2	-2
3.0-V LVTTL	2.85	3	3.15	-0.3	0.8	1.7	3.6	0.4	2.4	2	-2
3.0-V LVCMOS	2.85	3	3.15	-0.3	0.8	1.7	3.6	0.2	V _{CCIO} - 0.2	0.1	-0.1
3.0-V PCI	2.85	3	3.15	—	0.3 × V _{CCIO}	0.5 × V _{CCIO}	V _{CCIO} + 0.3	0.1 × V _{CCIO}	0.9 × V _{CCIO}	1.5	-0.5
3.0-V PCI-X	2.85	3	3.15	—	0.35 × V _{CCIO}	0.5 × V _{CCIO}	V _{CCIO} + 0.3	0.1 × V _{CCIO}	0.9 × V _{CCIO}	1.5	-0.5
2.5 V	2.375	2.5	2.625	-0.3	0.7	1.7	3.6	0.4	2	1	-1
1.8 V	1.71	1.8	1.89	-0.3	0.35 × V _{CCIO}	0.65 × V _{CCIO}	V _{CCIO} + 0.3	0.45	V _{CCIO} - 0.45	2	-2
1.5 V	1.425	1.5	1.575	-0.3	0.35 × V _{CCIO}	0.65 × V _{CCIO}	V _{CCIO} + 0.3	0.25 × V _{CCIO}	0.75 × V _{CCIO}	2	-2
1.2 V	1.14	1.2	1.26	-0.3	0.35 × V _{CCIO}	0.65 × V _{CCIO}	V _{CCIO} + 0.3	0.25 × V _{CCIO}	0.75 × V _{CCIO}	2	-2

⁽¹³⁾ 要满足 I_{OL} 和 I_{OH} 规范, 您必须相应地设置电流强度。例如, 要满足 3.3-V LVTTL 规范(4 mA), 您应该将电流强度设为 4 mA。设成较低的电流强度可能不会满足数据表中的 I_{OL} 和 I_{OH} 规范。

单端 SSTL, HSTL 和 HSUL I/O 参考电压规范

表 1-15: Arria V 器件的单端 SSTL, HSTL 和 HSUL I/O 参考电压规范

I/O 标准	V_{CCIO} (V)			V_{REF} (V)			V_{TT} (V)		
	最小值	典型值	最大值	最小值	典型值	最大值	最小值	典型值	最大值
SSTL-2 Class I, II	2.375	2.5	2.625	$0.49 \times V_{CCIO}$	$0.5 \times V_{CCIO}$	$0.51 \times V_{CCIO}$	$V_{REF} - 0.04$	V_{REF}	$V_{REF} + 0.04$
SSTL-18 Class I, II	1.71	1.8	1.89	0.833	0.9	0.969	$V_{REF} - 0.04$	V_{REF}	$V_{REF} + 0.04$
SSTL-15 Class I, II	1.425	1.5	1.575	$0.49 \times V_{CCIO}$	$0.5 \times V_{CCIO}$	$0.51 \times V_{CCIO}$	$0.49 \times V_{CCIO}$	$0.5 \times V_{CCIO}$	$0.51 \times V_{CCIO}$
SSTL-135 Class I, II	1.283	1.35	1.418	$0.49 \times V_{CCIO}$	$0.5 \times V_{CCIO}$	$0.51 \times V_{CCIO}$	$0.49 \times V_{CCIO}$	$0.5 \times V_{CCIO}$	$0.51 \times V_{CCIO}$
SSTL-125 Class I, II	1.19	1.25	1.26	$0.49 \times V_{CCIO}$	$0.5 \times V_{CCIO}$	$0.51 \times V_{CCIO}$	$0.49 \times V_{CCIO}$	$0.5 \times V_{CCIO}$	$0.51 \times V_{CCIO}$
HSTL-18 Class I, II	1.71	1.8	1.89	0.85	0.9	0.95	—	$V_{CCIO}/2$	—
HSTL-15 Class I, II	1.425	1.5	1.575	0.68	0.75	0.9	—	$V_{CCIO}/2$	—
HSTL-12 Class I, II	1.14	1.2	1.26	$0.47 \times V_{CCIO}$	$0.5 \times V_{CCIO}$	$0.53 \times V_{CCIO}$	—	$V_{CCIO}/2$	—
HSUL-12	1.14	1.2	1.3	$0.49 \times V_{CCIO}$	$0.5 \times V_{CCIO}$	$0.51 \times V_{CCIO}$	—	—	—

单端 SSTL, HSTL 和 HSUL I/O 标准信号规范

表 1-16: Arria V 器件的单端 SSTL, HSTL 和 HSUL I/O 标准信号规范

I/O 标准	$V_{IL(DC)}$ (V)		$V_{IH(DC)}$ (V)		$V_{IL(AC)}$ (V)	$V_{IH(AC)}$ (V)	V_{OL} (V)	V_{OH} (V)	$I_{OL}^{(14)}$ (mA)	$I_{OH}^{(14)}$ (mA)
	最小值	最大值	最小值	最大值	最大值	最小值	最大值	最小值		
SSTL-2 Class I	-0.3	$V_{REF} - 0.15$	$V_{REF} + 0.15$	$V_{CCIO} + 0.3$	$V_{REF} - 0.31$	$V_{REF} + 0.31$	$V_{TT} - 0.608$	$V_{TT} + 0.608$	8.1	-8.1
SSTL-2 Class II	-0.3	$V_{REF} - 0.15$	$V_{REF} + 0.15$	$V_{CCIO} + 0.3$	$V_{REF} - 0.31$	$V_{REF} + 0.31$	$V_{TT} - 0.81$	$V_{TT} + 0.81$	16.2	-16.2
SSTL-18 Class I	-0.3	$V_{REF} - 0.125$	$V_{REF} + 0.125$	$V_{CCIO} + 0.3$	$V_{REF} - 0.25$	$V_{REF} + 0.25$	$V_{TT} - 0.603$	$V_{TT} + 0.603$	6.7	-6.7
SSTL-18 Class II	-0.3	$V_{REF} - 0.125$	$V_{REF} + 0.125$	$V_{CCIO} + 0.3$	$V_{REF} - 0.25$	$V_{REF} + 0.25$	0.28	$V_{CCIO} - 0.28$	13.4	-13.4
SSTL-15 Class I	—	$V_{REF} - 0.1$	$V_{REF} + 0.1$	—	$V_{REF} - 0.175$	$V_{REF} + 0.175$	$0.2 \times V_{CCIO}$	$0.8 \times V_{CCIO}$	8	-8
SSTL-15 Class II	—	$V_{REF} - 0.1$	$V_{REF} + 0.1$	—	$V_{REF} - 0.175$	$V_{REF} + 0.175$	$0.2 \times V_{CCIO}$	$0.8 \times V_{CCIO}$	16	-16
SSTL-135	—	$V_{REF} - 0.09$	$V_{REF} + 0.09$	—	$V_{REF} - 0.16$	$V_{REF} + 0.16$	$0.2 \times V_{CCIO}$	$0.8 \times V_{CCIO}$	—	—
SSTL-125	—	$V_{REF} - 0.85$	$V_{REF} + 0.85$	—	$V_{REF} - 0.15$	$V_{REF} + 0.15$	$0.2 \times V_{CCIO}$	$0.8 \times V_{CCIO}$	—	—
HSTL-18 Class I	—	$V_{REF} - 0.1$	$V_{REF} + 0.1$	—	$V_{REF} - 0.2$	$V_{REF} + 0.2$	0.4	$V_{CCIO} - 0.4$	8	-8
HSTL-18 Class II	—	$V_{REF} - 0.1$	$V_{REF} + 0.1$	—	$V_{REF} - 0.2$	$V_{REF} + 0.2$	0.4	$V_{CCIO} - 0.4$	16	-16
HSTL-15 Class I	—	$V_{REF} - 0.1$	$V_{REF} + 0.1$	—	$V_{REF} - 0.2$	$V_{REF} + 0.2$	0.4	$V_{CCIO} - 0.4$	8	-8

⁽¹⁴⁾ 要满足 I_{OL} 和 I_{OH} 规范, 您必须相应地设置电流强度。例如, 要满足 SSTL15CI 规范(8 mA), 您应该将电流强度设为 8 mA。设成较低的电流强度可能不会满足数据表中的 I_{OL} 和 I_{OH} 规范。

I/O 标准	$V_{IL(DC)} (V)$		$V_{IH(DC)} (V)$		$V_{IL(AC)} (V)$	$V_{IH(AC)} (V)$	$V_{OL} (V)$	$V_{OH} (V)$	$I_{OL}^{(14)} (mA)$	$I_{OH}^{(14)} (mA)$
	最小值	最大值	最小值	最大值	最大值	最小值	最大值	最小值		
HSTL-15 Class II	—	$V_{REF} - 0.1$	$V_{REF} + 0.1$	—	$V_{REF} - 0.2$	$V_{REF} + 0.2$	0.4	$V_{CCIO} - 0.4$	16	-16
HSTL-12 Class I	-0.15	$V_{REF} - 0.08$	$V_{REF} + 0.08$	$V_{CCIO} + 0.15$	$V_{REF} - 0.15$	$V_{REF} + 0.15$	$0.25 \times V_{CCIO}$	$0.75 \times V_{CCIO}$	8	-8
HSTL-12 Class II	-0.15	$V_{REF} - 0.08$	$V_{REF} + 0.08$	$V_{CCIO} + 0.15$	$V_{REF} - 0.15$	$V_{REF} + 0.15$	$0.25 \times V_{CCIO}$	$0.75 \times V_{CCIO}$	16	-16
HSUL-12	—	$V_{REF} - 0.13$	$V_{REF} + 0.13$	—	$V_{REF} - 0.22$	$V_{REF} + 0.22$	$0.1 \times V_{CCIO}$	$0.9 \times V_{CCIO}$	—	—

差分 SSTL I/O 标准

表 1-17: Arria V 器件的差分 SSTL I/O 标准

I/O 标准	$V_{CCIO} (V)$			$V_{SWING(DC)} (V)$		$V_{X(AC)} (V)$			$V_{SWING(AC)} (V)$	
	最小值	典型值	最大值	最小值	最大值	最小值	典型值	最大值	最小值	最大值
SSTL-2 Class I, II	2.375	2.5	2.625	0.3	$V_{CCIO} + 0.6$	$V_{CCIO}/2 - 0.2$	—	$V_{CCIO}/2 + 0.2$	0.62	$V_{CCIO} + 0.6$
SSTL-18 Class I, II	1.71	1.8	1.89	0.25	$V_{CCIO} + 0.6$	$V_{CCIO}/2 - 0.175$	—	$V_{CCIO}/2 + 0.175$	0.5	$V_{CCIO} + 0.6$
SSTL-15 Class I, II	1.425	1.5	1.575	0.2	⁽¹⁵⁾	$V_{CCIO}/2 - 0.15$	—	$V_{CCIO}/2 + 0.15$	$2(V_{IH(AC)} - V_{REF})$	$2(V_{IL(AC)} - V_{REF})$
SSTL-135	1.283	1.35	1.45	0.18	⁽¹⁵⁾	$V_{CCIO}/2 - 0.15$	$V_{CCIO}/2$	$V_{CCIO}/2 + 0.15$	$2(V_{IH(AC)} - V_{REF})$	$2(V_{IL(AC)} - V_{REF})$

⁽¹⁴⁾ 要满足 I_{OL} 和 I_{OH} 规范, 您必须相应地设置电流强度。例如, 要满足 SSTL15CI 规范(8 mA), 您应该将电流强度设为 8 mA。设成较低的电流强度可能不会满足数据表中的 I_{OL} 和 I_{OH} 规范。

⁽¹⁵⁾ $V_{SWING(DC)}$ 的最大值没有被定义。但是, 每个单端信号都需要在相应的单端限制 ($V_{IH(DC)}$ 和 $V_{IL(DC)}$) 内。

I/O 标准	V _{CCIO} (V)			V _{SWING(DC)} (V)		V _{X(AC)} (V)			V _{SWING(AC)} (V)	
	最小值	典型值	最大值	最小值	最大值	最小值	典型值	最大值	最小值	最大值
SSTL-125	1.19	1.25	1.31	0.18	(15)	$V_{CCIO}/2 - 0.15$	$V_{CCIO}/2$	$V_{CCIO}/2 + 0.15$	$2(V_{IH(AC)} - V_{REF})$	$2(V_{IL(AC)} - V_{REF})$

差分 HSTL 和 HSUL I/O 标准

表 1-18: Arria V 器件的差分 HSTL 和 HSUL I/O 标准

I/O 标准	V _{CCIO} (V)			V _{DIF(DC)} (V)		V _{X(AC)} (V)			V _{CM(DC)} (V)			V _{DIF(AC)} (V)	
	最小值	典型值	最大值	最小值	最大值	最小值	典型值	最大值	最小值	典型值	最大值	最小值	最大值
HSTL-18 Class I, II	1.71	1.8	1.89	0.2	—	0.78	—	1.12	0.78	—	1.12	0.4	—
HSTL-15 Class I, II	1.425	1.5	1.575	0.2	—	0.68	—	0.9	0.68	—	0.9	0.4	—
HSTL-12 Class I, II	1.14	1.2	1.26	0.16	$V_{CCIO} + 0.3$	—	$0.5 \times V_{CCIO}$	—	$0.4 \times V_{CCIO}$	$0.5 \times V_{CCIO}$	$0.6 \times V_{CCIO}$	0.3	$V_{CCIO} + 0.48$
HSUL-12	1.14	1.2	1.3	0.26	0.26	$0.5 \times V_{CCIO} - 0.12$	$0.5 \times V_{CCIO}$	$0.5 \times V_{CCIO} + 0.12$	$0.4 \times V_{CCIO}$	$0.5 \times V_{CCIO}$	$0.6 \times V_{CCIO}$	0.44	0.44

差分 I/O 标准规范

表 1-19: Arria V 器件的差分 I/O 标准规范

差分输入由需要 2.5 V 的 V_{CCPD} 供电。

I/O 标准	V_{CCIO} (V)			V_{ID} (mV) ⁽¹⁶⁾			$V_{ICM(DC)}$ (V)			V_{OD} (V) ⁽¹⁷⁾			V_{OCM} (V) ^{(17) (18)}		
	最小值	典型值	最大值	最小值	条件	最大值	最小值	条件	最大值	最小值	典型值	最大值	最小值	典型值	最大值
PCML	高速收发器的发送器，接收器和输入参考时钟管脚使用 PCML I/O 标准。关于发送器，接收器和参考时钟 I/O 管脚规范，请参考 Arria V GX 和 SX 器件的收发器规范表和 Arria V GT 和 ST 器件的收发器规范表。														
2.5 V LVDS ⁽¹⁹⁾	2.375	2.5	2.625	100	$V_{CM} = 1.25$ V	—	0.05	$D_{MAX} \leq 1.25$ Gbps	1.80	0.247	—	0.6	1.125	1.25	1.375
						—	1.05	$D_{MAX} > 1.25$ Gbps	1.55						
RSDS(HIO) ⁽²⁰⁾	2.375	2.5	2.625	100	$V_{CM} = 1.25$ V	—	0.25	—	1.45	0.1	0.2	0.6	0.5	1.2	1.4
Mini-LVDS (HIO) ⁽²¹⁾	2.375	2.5	2.625	200	—	600	0.300	—	1.425	0.25	—	0.6	1	1.2	1.4
LVPECL ⁽²²⁾	—	—	—	300	—	—	0.60	$D_{MAX} \leq 700$ Mbps	1.80	—	—	—	—	—	—
							1.00	$D_{MAX} > 700$ Mbps	1.60						

⁽¹⁶⁾ V_{ID} 的最小值在整个通用模式范围内适用， V_{CM} 。

⁽¹⁷⁾ R_L 范围: $90 \leq R_L \leq 110 \Omega$ 。

⁽¹⁸⁾ 仅应用于默认的预加重设置。

⁽¹⁹⁾ 为优化 LVDS 接收器的性能，对于高于 1.25 Mbps 的数据速率，接收器电压输入范围必须在 1.0 V 到 1.6 V 之间，对于低于 1.25 Mbps 的数据速率，接收器电压输入范围必须在 0 V 到 1.85 V 之间。

⁽²⁰⁾ 为优化 RSDS 接收器的性能，接收器电压输入范围必须在 0.25 V 到 1.45 V 之间。

⁽²¹⁾ 为优化 Mini-LVDS 接收器的性能，接收器电压输入范围必须在 0.3 V 到 1.425 V 之间。

⁽²²⁾ 为优化 LVPECL 接收器的性能，对于高于 700 Mbps 的数据速率，接收器电压输入范围必须在 0.85 V 到 1.75 V 之间，对于低于 700 Mbps 的数据速率，接收器电压输入范围必须在 0.45 V 到 1.95 V 之间。

相关链接

- [Arria V GX 和 SX 器件的接收器规范](#) (第 1-23 页)
提供了发送器, 接收器和参考时钟 I/O 管脚的规范。
- [Arria V GT 和 ST 器件的收发器规范](#) (第 1-28 页)
提供了发送器, 接收器和参考时钟 I/O 管脚的规范。

开关特性

本节提供了 Arria V 内核和外围模块的性能特性。

收发器性能规范

Arria V GX 和 SX 器件的接收器规范

表 1-20: Arria V GX 和 SX 器件的参考时钟规范

符号/说明	条件	收发器速度等级 4			收发器速度等级 6			单位
		最小值	典型值	最大值	最小值	典型值	最大值	
支持的 I/O 标准	1.2 V PCML, 1.4 V PCML, 1.5 V PCML, 2.5 V PCML, Differential LVPECL ⁽²³⁾ , HCSL 和 LVDS							
REFCLK 输入管脚的输入频率	—	27	—	710	27	—	710	MHz
上升时间	在±60 mV 差分信号上测量 ⁽²⁴⁾	—	—	400	—	—	400	ps
下降时间	在±60 mV 差分信号上测量 ⁽²⁴⁾	—	—	400	—	—	400	ps
占空比	—	45	—	55	45	—	55	%

⁽²³⁾ Differential LVPECL 信号电平必须符合此表中的最小和最大峰峰差分输入电压规范。

⁽²⁴⁾ REFCLK 性能要求满足发送器 REFCLK 相位噪声规范。

符号/说明	条件	收发器速度等级 4			收发器速度等级 6			单位
		最小值	典型值	最大值	最小值	典型值	最大值	
峰峰(peak-to-peak)差分输入电压	—	200	—	300 ⁽²⁵⁾ / 2000	200	—	300 ⁽²⁵⁾ / 2000	mV
扩频调制时钟频率	PCI Express® (PCIe)	30	—	33	30	—	33	kHz
扩频下展(spread-spectrum downspread)	PCIe	—	0 to - 0.5%	—	—	0 to - 0.5%	—	—
片上匹配电阻	—	—	100	—	—	100	—	Ω
V _{ICM} (AC 耦合)	—	—	1.1/1.15 ⁽²⁶⁾	—	—	1.1/1.15 ⁽²⁶⁾	—	V
V _{ICM} (DC 耦合)	PCIe 参考时钟的 HCSL I/O 标准	250	—	550	250	—	550	mV
发送器 REFCLK 相位噪声 ⁽²⁷⁾	10 Hz	—	—	- 50	—	—	- 50	dBc/Hz
	100 Hz	—	—	-80	—	—	-80	dBc/Hz
	1 KHz	—	—	-110	—	—	-110	dBc/Hz
	10 KHz	—	—	-120	—	—	-120	dBc/Hz
	100 KHz	—	—	-120	—	—	-120	dBc/Hz
	≥1 MHz	—	—	-130	—	—	-130	dBc/Hz
R _{REF}	—	—	2000 ±1%	—	—	2000 ±1%	—	Ω

⁽²⁵⁾ 300 mV 的最大峰峰差分输入电压用于 DC 耦合链路。

⁽²⁶⁾ 当数据速率≤3.2 Gbps 时，将 V_{CCR_GXBL/R} 连接到 1.1-V 或 1.15-V 电源。当数据速率>3.2 Gbps 时，将 V_{CCR_GXBL/R} 连接到 1.15-V 电源。关于详细信息，请参考 Arria V GT, GX, ST 和 SX 器件系列管脚连接指南。

⁽²⁷⁾ 发送器 REFCLK 相位抖动等于 10⁻¹² 误码率(BER)上的 30 ps p-p。

表 1-21: Arria V GX 和 SX 器件的收发器时钟规范

符号/说明	条件	收发器速度等级 4			收发器速度等级 6			单位
		最小值	典型值	最大值	最小值	典型值	最大值	
fixedclk 时钟频率	PCIe 接收器检测	—	125	—	—	125	—	MHz
收发器重配置控制器 IP (mgmt_clk_clk) 时钟频率	—	75	—	125	75	—	125	MHz

表 1-22: Arria V GX 和 SX 器件的接收器规范

符号/说明	条件	收发器速度等级 4			收发器速度等级 6			单位
		最小值	典型值	最大值	最小值	典型值	最大值	
支持的 I/O 标准	1.5 V PCML, 2.5 V PCML, LVPECL 和 LVDS							
数据 ⁽²⁸⁾	—	611	—	6553.6	611	—	3125	Mbps
接收器管脚的绝对 V _{MAX} ⁽²⁹⁾	—	—	—	1.2	—	—	1.2	V
接收器管脚的绝对 V _{MIN}	—	− 0.4	—	—	− 0.4	—	—	V
器件配置前的最大峰峰差分输入电压 V _{ID} (diff p-p)	—	—	—	1.6	—	—	1.6	V
器件配置后的最大峰峰差分输入电压 V _{ID} (diff p-p)	—	—	—	2.2	—	—	2.2	V
接收器串行输入管脚上的最小差分眼开 ⁽³⁰⁾	—	100	—	—	100	—	—	mV
V _{ICM} (AC 耦合)	—	—	650 ⁽³¹⁾ /800	—	—	650 ⁽³¹⁾ /800	—	mV

⁽²⁸⁾ 仅在 LTR 模式下使用 CDR 以支持通过过采样的低于最小规范的数据速率。

⁽²⁹⁾ 器件在此绝对最大值上不能耐受长时间的运行。

符号/说明	条件	收发器速度等级 4			收发器速度等级 6			单位
		最小值	典型值	最大值	最小值	典型值	最大值	
V_{ICM} (DC 耦合)	$\leq 3.2\text{Gbps}^{(32)}$	670	700	730	670	700	730	mV
差分片上匹配电阻	85- Ω setting	—	85	—	—	85	—	Ω
	100- Ω setting	—	100	—	—	100	—	Ω
	120- Ω setting	—	120	—	—	120	—	Ω
	150- Ω setting	—	150	—	—	150	—	Ω
$t_{LTR}^{(33)}$	—	—	—	10	—	—	10	μs
$t_{LTD}^{(34)}$	—	4	—	—	4	—	—	μs
$t_{LTD_manual}^{(35)}$	—	4	—	—	4	—	—	μs
$t_{LTR_LTD_manual}^{(36)}$	—	15	—	—	15	—	—	μs
可编程 ppm 检测器 ⁽³⁷⁾	—	$\pm 62.5, 100, 125, 200, 250, 300, 500$ 和 1000						ppm
运行长度	—	—	—	200	—	—	200	UI
可编程均衡 AC 和 DC 增益	AC gain setting = 0 to 3 ⁽³⁸⁾ DC gain setting = 0 to 1	请参考 Arria V GX, GT, SX 和 ST 器件支持的 AC 增益和 DC 增益上数据速率 > 3.25 Gbps 的 CTLE 响应和 Arria V GX, GT, SX 和 ST 器件的 AC 增益和 DC 增益上数据速率 ≤ 3.25 Gbps 的 CTLE 响应图。						dB

⁽³⁰⁾ 接收器输入管脚上的差分眼开规格假定 **Receiver Equalization** 是禁用的。如果使能 **Receiver Equalization**，那么接收器电路能够根据均衡级别来耐受较低的最小眼开。

⁽³¹⁾ 只有在 PCIe 模式下，AC 耦合 V_{ICM} 才为 650 mV。

⁽³²⁾ 对于标准协议兼容，请使用 AC 耦合。

⁽³³⁾ t_{LTR} 是接收器 CDR 脱离复位后锁定到输入参考时钟频率所需要的时间。

⁽³⁴⁾ t_{LTD} 是 rx_is_lockedto data 信号变高后，接收器 CDR 开始恢复有效数据所需要的时间。

⁽³⁵⁾ t_{LTD_manual} 是 CDR 运行在手动模式下时 rx_is_lockedto data 信号变高后接收器 CDR 开始恢复有效数据所需要的时间。

⁽³⁶⁾ $t_{LTR_LTD_manual}$ 是 CDR 运行在手动模式下时 rx_is_lockedto ref 信号变高后接收器 CDR 必须保持锁定到参考(LTR)模式的时间。

⁽³⁷⁾ 速率匹配 FIFO 最高支持 ± 300 百万分率(ppm)。

表 1-23: Arria V GX 和 SX 器件的发送器规范

符号/说明	条件	收发器速度等级 4			收发器速度等级 6			单位
		最小值	典型值	最大值	最小值	典型值	最大值	
支持的 I/O 标准	1.5 V PCML							
Data rate	—	611	—	6553.6	611	—	3125	Mbps
V _{OCM} (AC 耦合)	—	—	650	—	—	650	—	mV
V _{OCM} (DC 耦合)	≤ 3.2Gbps ⁽³²⁾	670	700	730	670	700	730	mV
差分片上匹配电阻	85- Ω setting	—	85	—	—	85	—	Ω
	100- Ω setting	—	100	—	—	100	—	Ω
	120- Ω setting	—	120	—	—	120	—	Ω
	150- Ω setting	—	150	—	—	150	—	Ω
内部差分对偏移	TX V _{CM} = 0.65 V (AC 耦合), 15 ps 的摆率	—	—	15	—	—	15	ps
内部收发器模块发送器通道到通道偏移	×6 PMA bonded 模式	—	—	180	—	—	180	ps
内部收发器模块发送器通道到通道偏移 ⁽³⁹⁾	×N PMA bonded 模式	—	—	500	—	—	500	ps

⁽³⁸⁾ Quartus II 软件允许 AC gain setting = 3 仅用于 611 Mbps 到 1.25 Gbps 数据速率的设计。⁽³⁹⁾ 此规范仅应用于两个收发器组中的器件一侧的通道。

表 1-24: Arria V GX 和 SX 器件的 CMU PLL 规范

符号/说明	收发器速度等级 4		收发器速度等级 6		单位
	最小值	最大值	最小值	最大值	
支持的数据范围	611	6553.6	611	3125	Mbps
fPLL 支持的数据范围	611	3125	611	3125	Mbps

表 1-25: Arria V GX 和 SX 器件的收发器 FPGA 架构接口规范

符号/说明	收发器速度等级 4 和 6		单位
	最小值	最大值	
接口速度 (单宽度模式)	25	187.5	MHz
接口速度 (双宽度模式)	25	163.84	MHz

相关链接

- [在所支持的 AC 增益和 DC 增益上数据速率>3.25 Gbps 的 CTLE 响应](#) (第 1-34 页)
- [在所支持的 AC 增益和 DC 增益上数据速率≤3.25 Gbps 的 CTLE 响应](#) (第 1-35 页)
- [Arria V GT, GX, ST 和 SX 器件系列管脚连接指南](#)
提供了关于不同数据速率的电源连接的详细信息。

Arria V GT 和 ST 器件的收发器规范

表 1-26: Arria V GT 和 ST 器件的参考时钟规范

符号/说明	条件	收发器速度等级 3			单位
		最小值	典型值	最大值	
支持的 I/O 标准	1.2 V PCML, 1.4 V PCML, 1.5 V PCML, 2.5 V PCML, Differential LVPECL ⁽⁴⁰⁾ , HCSL 和 LVDS				

⁽⁴⁰⁾ Differential LVPECL 信号电平必须符合此表中的最小和最大峰峰差分输入电压规范。

符号/说明	条件	收发器速度等级 3			单位
		最小值	典型值	最大值	
REFCLK 输入管脚的输入频率	—	27	—	710	MHz
上升时间	在±60 mV 差分信号上测量 ⁽⁴¹⁾	—	—	400	ps
下降时间	在±60 mV 差分信号上测量 ⁽⁴¹⁾	—	—	400	ps
占空比	—	45	—	55	%
峰峰(peak-to-peak)差分输入电压	—	200	—	300 ⁽⁴²⁾ /2000	mV
扩频调制时钟频率	PCI Express (PCIe)	30	—	33	kHz
扩频下展(spread-spectrum downspread)	PCIe	—	0 to - 0.5%	—	—
片上匹配电阻	—	—	100	—	Ω
V _{ICM} (AC 耦合)	—	—	1.2	—	V
V _{ICM} (DC 耦合)	PCIe 参考时钟的 HCSL I/O 标准	250	—	550	mV
发送器 REFCLK 相位噪声 ⁽⁴³⁾	10 Hz	—	—	-50	dBc/Hz
	100 Hz	—	—	-80	dBc/Hz
	1 KHz	—	—	-110	dBc/Hz
	10 KHz	—	—	-120	dBc/Hz
	100 KHz	—	—	-120	dBc/Hz
	≥ 1 MHz	—	—	-130	dBc/Hz
R _{REF}	—	—	2000 ±1%	—	Ω

⁽⁴¹⁾ REFCLK 性能要求满足发送器 REFCLK 相位噪声规范。

⁽⁴²⁾ 300 mV 的最大峰峰差分输入电压用于 DC 耦合链路。

⁽⁴³⁾ 发送器 REFCLK 相位抖动等于 10⁻¹² 误码率(BER)上的 30 ps p-p (5 ps RMS), 等同于 14 sigma。

表 1-27: Arria V GT 和 ST 器件的收发器时钟规范

符号/说明	条件	收发器速度等级 3			单位
		Min	Typ	Max	
fixedclk 时钟频率	PCIe 接收器检测	—	125	—	MHz
收发器重配置控制器 IP (mgmt_clk_clk) 时钟频率	—	75	—	125	MHz

表 1-28: Arria V GT 和 ST 器件的接收器规范

符号/说明	条件	收发器速度等级 3			单位
		最小值	典型值	最大值	
支持的 I/O 标准	1.5 V PCML, 2.5 V PCML, LVPECL 和 LVDS				
数据 (6-Gbps 收发器) ⁽⁴⁴⁾	—	611	—	6553.6	Mbps
数据速率(10-Gbps 收发器) ⁽⁴⁴⁾	—	0.611	—	10.3125	Gbps
接收器管脚的绝对 V _{MAX} ⁽⁴⁵⁾	—	—	—	1.2	V
接收器管脚的绝对 V _{MIN}	—	− 0.4	—	—	V
器件配置前的最大峰峰差分输入电压 V _{ID} (diff p-p)	—	—	—	1.6	V
器件配置后的最大峰峰差分输入电压 V _{ID} (diff p-p)	—	—	—	2.2	V
接收器串行输入管脚上的最小差分眼开 ⁽⁴⁶⁾	—	100	—	—	mV

⁽⁴⁴⁾ 仅在 LTR 模式下使用 CDR 以支持通过过采样的低于最小规范的数据速率。⁽⁴⁵⁾ 器件在此绝对最大值上不能耐受长时间的运行。⁽⁴⁶⁾ 接收器输入管脚上的差分眼开规格假定 **Receiver Equalization** 是禁用的。如果使能 **Receiver Equalization**，那么接收器电路能够根据均衡级别来耐受较低的最小眼开。

符号/说明	条件	收发器速度等级 3			单位
		最小值	典型值	最大值	
V_{ICM} (AC 耦合)	—	—	750 ⁽⁴⁷⁾ /800	—	mV
V_{ICM} (DC 耦合)	$\leq 3.2\text{Gbps}$ ⁽⁴⁸⁾	670	700	730	mV
差分片上匹配电阻	85- Ω setting	85			Ω
	100- Ω setting	100			Ω
	120- Ω setting	120			Ω
	150- Ω setting	150			Ω
t_{LTR} ⁽⁴⁹⁾	—	—	—	10	μs
t_{LTD} ⁽⁵⁰⁾	—	4	—	—	μs
t_{LTD_manual} ⁽⁵¹⁾	—	4	—	—	μs
$t_{LTR_LTD_manual}$ ⁽⁵²⁾	—	15	—	—	μs
可编程 ppm 检测器 ⁽⁵³⁾	—	± 62.5 , 100, 125, 200, 250, 300, 500 和 1000			ppm
运行长度	—	—	—	200	UI
可编程均衡 AC 和 DC 增益	AC gain setting = 0 to 3 ⁽⁵⁴⁾ DC gain setting = 0 to 1	请参考 Arria V GX, GT, SX 和 ST 器件支持的 AC 增益和 DC 增益上数据速率 $>3.25\text{Gbps}$ 的 CTLE 响应和 Arria V GX, GT, SX 和 ST 器件的 AC 增益和 DC 增益上数据速率 $\leq 3.25\text{Gbps}$ 的 CTLE 响应图。			

⁽⁴⁷⁾ 只有在 PCIe 模式下, AC 耦合 V_{ICM} 才为 750 mV。

⁽⁴⁸⁾ 对于标准协议兼容, 请使用 AC 耦合。

⁽⁴⁹⁾ t_{LTR} 是接收器 CDR 脱离复位后锁定到输入参考时钟频率所需要的时间。

⁽⁵⁰⁾ t_{LTD} 是 rx_is_lockedto data 信号变高后, 接收器 CDR 开始恢复有效数据所需要的时间。

⁽⁵¹⁾ t_{LTD_manual} 是 CDR 运行在手动模式下时 rx_is_lockedto data 信号变高后接收器 CDR 开始恢复有效数据所需要的时间。

⁽⁵²⁾ $t_{LTR_LTD_manual}$ 是 CDR 运行在手动模式下时 rx_is_lockedto ref 信号变高后接收器 CDR 必须保持锁定到参考(LTR)模式的时间。

⁽⁵³⁾ 速率匹配 FIFO 最高支持 ± 300 ppm。

⁽⁵⁴⁾ Quartus II 软件允许 AC gain setting = 3 仅用于 611 Mbps 到 1.25 Gbps 数据速率的设计。

表 1-29: Arria V GT 和 ST 器件的发送器规范

符号/说明	条件	收发器速度等级 3			单位
		最小值	典型值	最大值	
支持的 I/O 标准	1.5 V PCML				
数据速率(6-Gbps 收发器)	—	611	—	6553.6	Mbps
数据速率(10-Gbps 收发器)	—	0.611	—	10.3125	Gbps
V _{OCM} (AC 耦合)	—	—	650	—	mV
V _{OCM} (DC 耦合)	≤ 3.2 Gbps ⁽⁴⁸⁾	670	700	730	mV
差分片上匹配电阻	85- Ω setting	—	85	—	Ω
	100- Ω setting	—	100	—	Ω
	120- Ω setting	—	120	—	Ω
	150- Ω setting	—	150	—	Ω
内部差分对偏移	TX V _{CM} = 0.65 V (AC 耦合), 15 ps 的摆率	—	—	15	ps
内部收发器模块发送器通道到通道 偏移	×6 PMA bonded 模式	—	—	180	ps
内部收发器模块发送器通道到通道 偏移 ⁽⁵⁵⁾	×N PMA bonded 模式	—	—	500	ps

表 1-30: Arria V GT 和 ST 器件的 CMU PLL 规范

符号/说明	收发器速度等级 3		单位
	最小值	最大值	
支持的数据范围	0.611	10.3125	Gbps

⁽⁵⁵⁾ 此规范仅应用于两个收发器组中的器件一侧的通道。

符号/说明	收发器速度等级 3		单位
	最小值	最大值	
fPLL 支持的数据范围	611	3125	Mbps

表 1-31: Arria V GT 和 ST 器件的收发器 FPGA 架构接口规范

符号/说明	收发器速度等级 3		单位
	最小值	最大值	
接口速度 (PMA direct 模式)	50	153.6 ⁽⁵⁶⁾ , 161 ⁽⁵⁷⁾	MHz
接口速度 (单宽度模式)	25	187.5	MHz
接口速度 (双宽度模式)	25	163.84	MHz

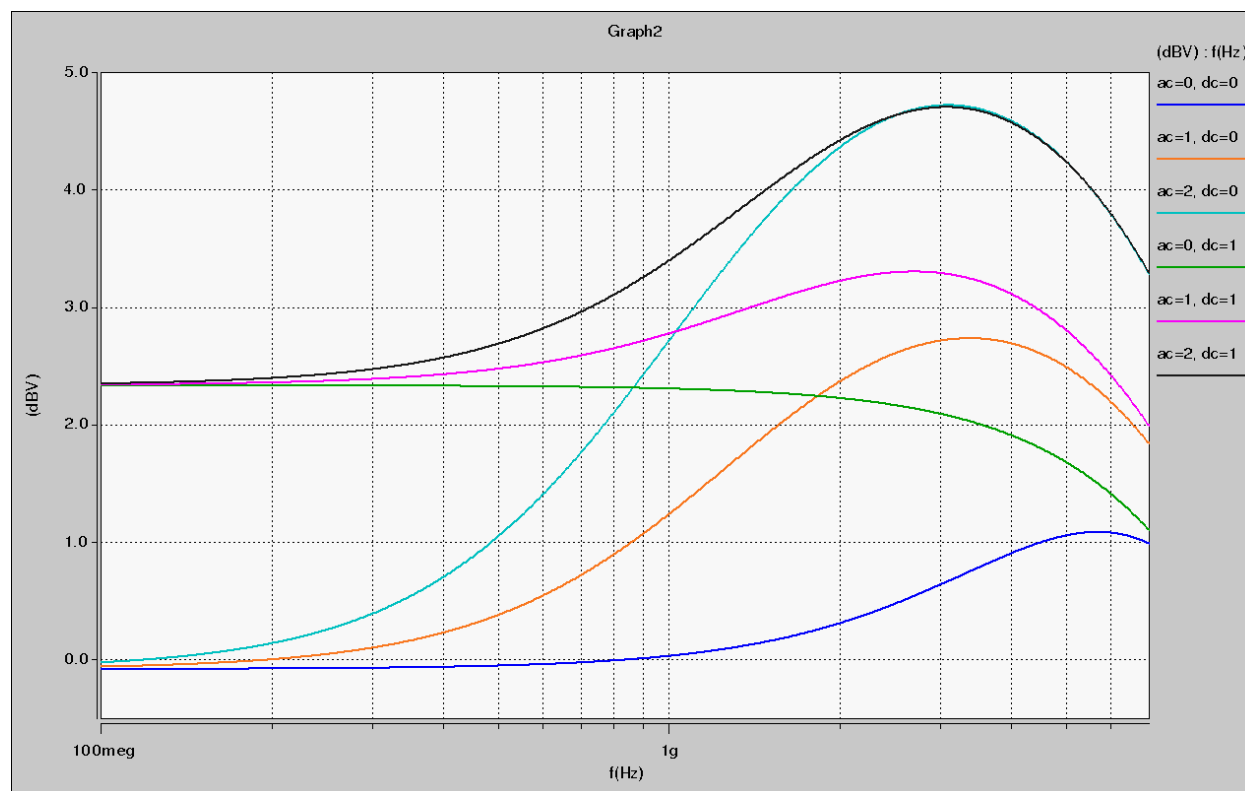
相关链接

- [在所支持的 AC 增益和 DC 增益上数据速率>3.25 Gbps 的 CTLE 响应](#) (第 1-34 页)
- [在所支持的 AC 增益和 DC 增益上数据速率≤3.25 Gbps 的 CTLE 响应](#) (第 1-35 页)

⁽⁵⁶⁾ 当选择了内核收发器本地布线时的最大频率。⁽⁵⁷⁾ 当选择了内核收发器网络布线 (GCLK, RCLK 或 PCLK)时的最大频率。

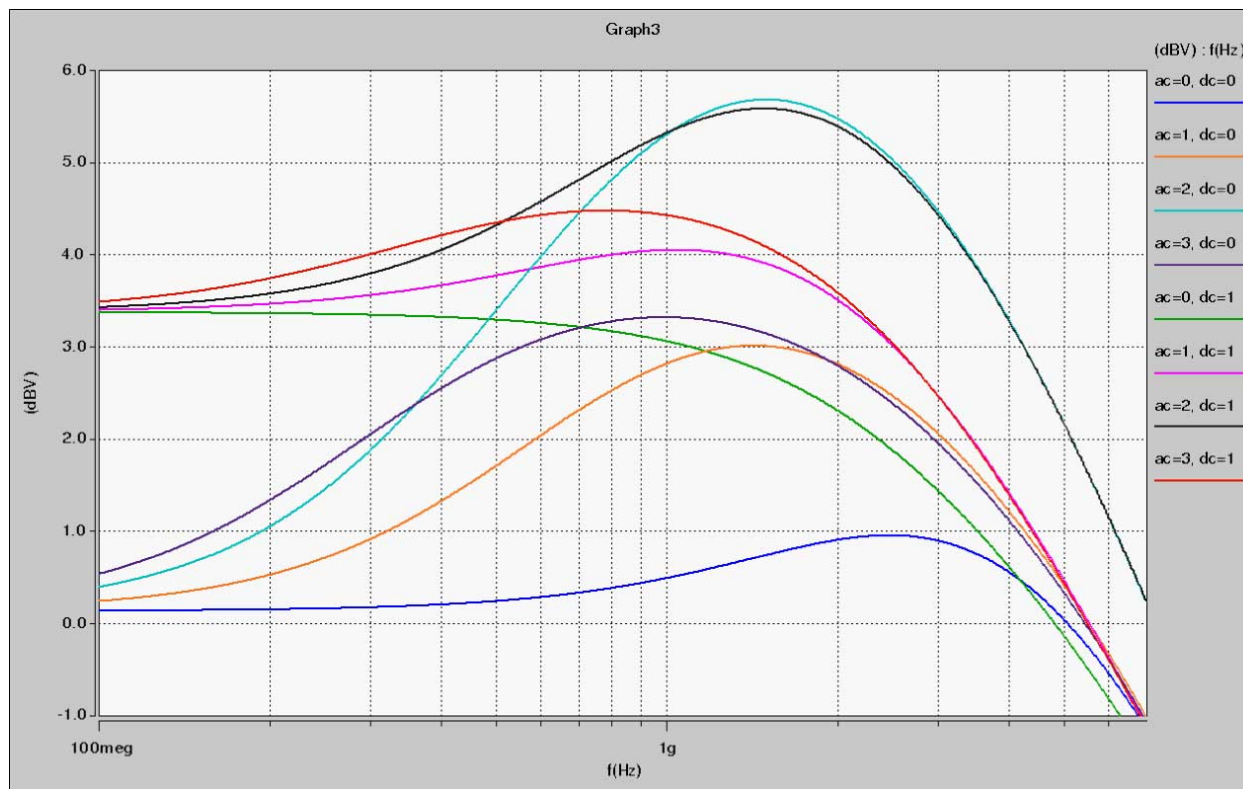
在所支持的 AC 增益和 DC 增益上数据速率>3.25 Gbps 的 CTLE 响应

图 1-2: Arria V GX, GT, SX 和 ST 器件的所支持的 AC 增益和 DC 增益上数据速率>3.25 Gbps 的连续时间线性均衡器(CTLE)响应



在所支持的 AC 增益和 DC 增益上数据速率 ≤ 3.25 Gbps 的 CTLE 响应

图 1-3: Arria V GX, GT, SX 和 ST 器件的所支持的 AC 增益和 DC 增益上数据速率 ≤ 3.25 Gbps 的 CTLE 响应



100 Ω 匹配阻值的 Arria V 收发器通道的典型的 TX V_{OD} 设置表 1-32: 100 Ω 匹配阻值的 Arria V 收发器通道的典型的 TX V_{OD} 设置

符号	V_{OD} 设置 ⁽⁵⁸⁾	V_{OD} 值(mV)	V_{OD} 设置 ⁽⁵⁸⁾	V_{OD} 值(mV)
V_{OD} 差分峰峰典型 (differential peak to peak typical)	6 ⁽⁵⁹⁾	120	34	680
	7 ⁽⁵⁹⁾	140	35	700
	8 ⁽⁵⁹⁾	160	36	720
	9	180	37	740
	10	200	38	760
	11	220	39	780
	12	240	40	800
	13	260	41	820
	14	280	42	840
	15	300	43	860
	16	320	44	880
	17	340	45	900
	18	360	46	920
	19	380	47	940
	20	400	48	960
	21	420	49	980
	22	440	50	1000
	23	460	51	1020
	24	480	52	1040

⁽⁵⁸⁾ 如果对 PMA 模拟控制使用动态重配置模式，那么要将这些值转换成相应的二进制格式。

符号	V _{OD} 设置 ⁽⁵⁸⁾	V _{OD} 值(mV)	V _{OD} 设置 ⁽⁵⁸⁾	V _{OD} 值(mV)
	25	500	53	1060
	26	520	54	1080
	27	540	55	1100
	28	560	56	1120
	29	580	57	1140
	30	600	58	1160
	31	620	59	1180
	32	640	60	1200
	33	660		

发送器预加重水平

下表列出了在下面条件下第一个后抽头的发送器预加重水平上的仿真数据(dB):

- 低频率数据码型—5 个 1 和 5 个 0
- 数据速率—2.5 Gbps

列出的水平代表指定条件下可能的预加重水平，预加重水平随着数据码型和数据速率的变化而变化。

Arria V 器件只在以下条件下支持第一个后抽头预加重:

- 第一个后抽头预加重设置必须满足 $|B| + |C| \leq 60$ ，其中 $|B| = V_{OD}$ 设置，匹配阻值 $R_{TERM} = 100 \Omega$ ， $|C| =$ 第一个后抽头预加重设置。
- 数据速率 < 5 Gbps 时， $|B| - |C| > 5$ ，数据速率 > 5 Gbps 时， $|B| - |C| > 8.25$ 。
- $(V_{MAX}/V_{MIN} - 1)\% < 600\%$ ，其中 $V_{MAX} = |B| + |C|$ ， $V_{MIN} = |B| - |C|$ 。

PCIe Gen2 设计的例外情况： V_{OD} setting = 43 和 pre-emphasis setting = 19 可用于使用 Altera PCIe Hard IP 和 PIPE IP 内核的 PCIe Gen2 设计，其中包括发送去加重 - 6dB 设置(pipe_txdeemp = 1'b0)。

例如，当 $V_{OD} = 800$ mV 时，相应的 V_{OD} 值设置为 40。在以下条件下，1st post tap pre-emphasis setting = 2 是有效的:

⁽⁵⁸⁾ 如果对 PMA 模拟控制使用动态重配置模式，那么要将这些值转换成相应的二进制格式。

⁽⁵⁹⁾ 仅对数据速率 ≤ 5 Gbps 有效。

1-38 发送器预加重水平

- $|B| + |C| \leq 60 \rightarrow 40 + 2 = 42$
- $|B| - |C| > 5 \rightarrow 40 - 2 = 38$
- $(V_{MAX}/V_{MIN} - 1)\% < 600\% \rightarrow (42/38 - 1)\% = 10.52\%$

要对指定数据速率和码型预测其预加重水平，需使用 Arria V HSSI HSPICE 模型进行仿真。

表 1-33: Arria V 器件的发送器预加重水平

Quartus II 1st Post Tap Pre-Emphasis Setting	Quartus II V _{OD} Setting							Unit
	10 (200 mV)	20 (400 mV)	30 (600 mV)	35 (700 mV)	40 (800 mV)	45 (900 mV)	50 (1000 mV)	
0	0	0	0	0	0	0	0	dB
1	1.97	0.88	0.43	0.32	0.24	0.19	0.13	dB
2	3.58	1.67	0.95	0.76	0.61	0.5	0.41	dB
3	5.35	2.48	1.49	1.2	1	0.83	0.69	dB
4	7.27	3.31	2	1.63	1.36	1.14	0.96	dB
5	—	4.19	2.55	2.1	1.76	1.49	1.26	dB
6	—	5.08	3.11	2.56	2.17	1.83	1.56	dB
7	—	5.99	3.71	3.06	2.58	2.18	1.87	dB
8	—	6.92	4.22	3.47	2.93	2.48	2.11	dB
9	—	7.92	4.86	4	3.38	2.87	2.46	dB
10	—	9.04	5.46	4.51	3.79	3.23	2.77	dB
11	—	10.2	6.09	5.01	4.23	3.61	—	dB
12	—	11.56	6.74	5.51	4.68	3.97	—	dB
13	—	12.9	7.44	6.1	5.12	4.36	—	dB
14	—	14.44	8.12	6.64	5.57	4.76	—	dB
15	—	—	8.87	7.21	6.06	5.14	—	dB
16	—	—	9.56	7.73	6.49	—	—	dB

Quartus II 1st Post Tap Pre-Emphasis Setting	Quartus II V _{OD} Setting							Unit
	10 (200 mV)	20 (400 mV)	30 (600 mV)	35 (700 mV)	40 (800 mV)	45 (900 mV)	50 (1000 mV)	
17	—	—	10.43	8.39	7.02	—	—	dB
18	—	—	11.23	9.03	7.52	—	—	dB
19	—	—	12.18	9.7	8.02	—	—	dB
20	—	—	13.17	10.34	8.59	—	—	dB
21	—	—	14.2	11.1	—	—	—	dB
22	—	—	15.38	11.87	—	—	—	dB
23	—	—	—	12.67	—	—	—	dB
24	—	—	—	13.48	—	—	—	dB
25	—	—	—	14.37	—	—	—	dB
26	—	—	—	—	—	—	—	dB
27	—	—	—	—	—	—	—	dB
28	—	—	—	—	—	—	—	dB
29	—	—	—	—	—	—	—	dB
30	—	—	—	—	—	—	—	dB
31	—	—	—	—	—	—	—	dB

相关链接

[Altera 器件的 SPICE 模型](#)

提供了 Arria V HSSI HSPICE 模型。

收发器兼容规范

下表列出了 Arria V GX、GT、SX 和 ST 器件的所有支持协议的物理介质附加子层(PMA)规范兼容。关于协议参数明细和兼容规范的更多信息，请与您的 Altera 销售代表取得联系。

表 1-34: Arria V GX、GT、SX 和 ST 器件的所有支持协议的收发器兼容规范

协议	子协议	数据速率 (Mbps)
PCIe	PCIe Gen1	2,500
	PCIe Gen2	5,000
	PCIe Cable	2,500
XAUI	XAUI 2135	3,125
Serial RapidIO® (SRIO)	SRIO 1250 SR	1,250
	SRIO 1250 LR	1,250
	SRIO 2500 SR	2,500
	SRIO 2500 LR	2,500
	SRIO 3125 SR	3,125
	SRIO 3125 LR	3,125
	SRIO 5000 SR	5,000
	SRIO 5000 MR	5,000
	SRIO 5000 LR	5,000
	SRIO_6250_SR	6,250
	SRIO_6250_MR	6,250
	SRIO_6250_LR	6,250

协议	子协议	数据速率 (Mbps)
通用公共无线接口(CPRI)	CPRI E6LV	614.4
	CPRI E6HV	614.4
	CPRI E6LVII	614.4
	CPRI E12LV	1,228.8
	CPRI E12HV	1,228.8
	CPRI E12LVII	1,228.8
	CPRI E24LV	2,457.6
	CPRI E24LVII	2,457.6
	CPRI E30LV	3,072
	CPRI E30LVII	3,072
	CPRI E48LVII	4,915.2
	CPRI E60LVII	6,144
	CPRI E96LVIII ⁽⁶⁰⁾	9,830.4
Gbps Ethernet (GbE)	GbE 1250	1,250
OBSAI	OBSAI 768	768
	OBSAI 1536	1,536
	OBSAI 3072	3,072
	OBSAI 6144	6,144
串行数字接口(SDI)	SDI 270 SD	270
	SDI 1485 HD	1,485
	SDI 2970 3G	2,970

⁽⁶⁰⁾ 通过采用每 6 个通道收发器组中有一个 HSSI 通道的 TX 通道限制来实现兼容。

协议	子协议	数据速率 (Mbps)
SONET	SONET 155	155.52
	SONET 622	622.08
	SONET 2488	2,488.32
千兆无源光网络 (GPON)	GPON 155	155.52
	GPON 622	622.08
	GPON 1244	1,244.16
	GPON 2488	2,488.32
QSGMII	QSGMII 5000	5,000

内核性能规范

时钟树规范

表 1-35: Arria V 器件的时钟树规范

参数	性能			单位
	- I3, - C4	- I5, - C5	- C6	
Global clock and Regional clock	625	625	525	MHz
Peripheral clock	450	400	350	MHz

PLL 规范

表 1-36: Arria V 器件的 PLL 规范

此表列出了 Arria V PLL 模块规范。Arria V PLL 模块不包括 HPS PLL。

符号	参数	条件	最小值	典型值	最大值	单位
f_{IN}	Input clock frequency	-3 速度等级	5	—	800 ⁽⁶¹⁾	MHz
		-4 速度等级	5	—	800 ⁽⁶¹⁾	MHz
		-5 速度等级	5	—	750 ⁽⁶¹⁾	MHz
		-6 速度等级	5	—	625 ⁽⁶¹⁾	MHz
f_{INPFD}	Integer input clock frequency to the phase frequency detector (PFD)	—	5	—	325	MHz
f_{FINPFD}	Fractional input clock frequency to the PFD	—	50	—	160	MHz
$f_{VCO}^{(62)}$	PLL voltage-controlled oscillator (VCO) operating range	-3 速度等级	600	—	1600	MHz
		-4 速度等级	600	—	1600	MHz
		-5 速度等级	600	—	1600	MHz
		-6 速度等级	600	—	1300	MHz
$t_{EINDUTY}$	Input clock or external feedback clock input duty cycle	—	40	—	60	%
f_{OUT}	Output frequency for internal global or regional clock	-3 速度等级	—	—	500 ⁽⁶³⁾	MHz
		-4 速度等级	—	—	500 ⁽⁶³⁾	MHz
		-5 速度等级	—	—	500 ⁽⁶³⁾	MHz
		-6 速度等级	—	—	400 ⁽⁶³⁾	MHz

⁽⁶¹⁾ 此规范在 Quartus II 软件中受 I/O 最大频率限制。最大 I/O 频率对于每种 I/O 标准是各不相同的。

⁽⁶²⁾ Quartus II 软件报告的 VCO 频率考虑到 VCO 后缩放计数器 κ 值。因此，如果计数器 κ 的值为 2，那么报告的频率能够低于 f_{VCO} 规范。

⁽⁶³⁾ 此规范受限于 PLL 的 I/O f_{MAX} 和 F_{OUT} 两者中较低的一个。

符号	参数	条件	最小值	典型值	最大值	单位
$f_{\text{OUT_EXT}}$	Output frequency for external clock output	-3 速度等级	—	—	670 ⁽⁶³⁾	MHz
		-4 速度等级	—	—	670 ⁽⁶³⁾	MHz
		-5 速度等级	—	—	622 ⁽⁶³⁾	MHz
		-6 速度等级	—	—	500 ⁽⁶³⁾	MHz
t_{OUTDUTY}	Duty cycle for external clock output (when set to 50%)	—	45	50	55	%
t_{FCOMP}	External feedback clock compensation time	—	—	—	10	ns
$t_{\text{DYCONFIGCLK}}$	Dynamic configuration clock for mgmt_clk and scanclk	—	—	—	100	MHz
t_{LOCK}	Time required to lock from end-of-device configuration or deassertion of areset	—	—	—	1	ms
t_{DLOCK}	Time required to lock dynamically (after switchover or reconfiguring any non-post-scale counters/delays)	—	—	—	1	ms
f_{CLBW}	PLL closed-loop bandwidth	低	—	0.3	—	MHz
		中	—	1.5	—	MHz
		高 ⁽⁶⁴⁾	—	4	—	MHz
$t_{\text{PLL_PSERR}}$	Accuracy of PLL phase shift	—	—	—	±50	ps
t_{ARESET}	Minimum pulse width on the areset signal	—	10	—	—	ns

⁽⁶⁴⁾ 在外部反馈模式中不支持高带宽 PLL 设置。

符号	参数	条件	最小值	典型值	最大值	单位
$t_{\text{INCCJ}}^{(65)(66)}$	Input clock cycle-to-cycle jitter	$F_{\text{REF}} \geq 100 \text{ MHz}$	—	—	0.15	UI (p-p)
		$F_{\text{REF}} < 100 \text{ MHz}$	—	—	± 750	ps (p-p)
$t_{\text{OUTPJ_DC}}^{(67)}$	Period jitter for dedicated clock output in integer PLL	$F_{\text{OUT}} \geq 100 \text{ MHz}$	—	—	175	ps (p-p)
		$F_{\text{OUT}} < 100 \text{ MHz}$	—	—	17.5	mUI (p-p)
$t_{\text{FOUTPJ_DC}}^{(67)}$	Period jitter for dedicated clock output in fractional PLL	$F_{\text{OUT}} \geq 100 \text{ MHz}$	—	—	$250^{(68)}, 175^{(69)}$	ps (p-p)
		$F_{\text{OUT}} < 100 \text{ MHz}$	—	—	$25^{(68)}, 17.5^{(69)}$	mUI (p-p)
$t_{\text{OUTCCJ_DC}}^{(67)}$	Cycle-to-cycle jitter for dedicated clock output in integer PLL	$F_{\text{OUT}} \geq 100 \text{ MHz}$	—	—	175	ps (p-p)
		$F_{\text{OUT}} < 100 \text{ MHz}$	—	—	17.5	mUI (p-p)
$t_{\text{FOUTCCJ_DC}}^{(67)}$	Cycle-to-cycle jitter for dedicated clock output in fractional PLL	$F_{\text{OUT}} \geq 100 \text{ MHz}$	—	—	$250^{(68)}, 175^{(69)}$	ps (p-p)
		$F_{\text{OUT}} < 100 \text{ MHz}$	—	—	$25^{(68)}, 17.5^{(69)}$	mUI (p-p)
$t_{\text{OUTPJ_IO}}^{(67)(70)}$	Period jitter for clock output on a regular I/O in integer PLL	$F_{\text{OUT}} \geq 100 \text{ MHz}$	—	—	600	ps (p-p)
		$F_{\text{OUT}} < 100 \text{ MHz}$	—	—	60	mUI (p-p)
$t_{\text{FOUTPJ_IO}}^{(67)(68)(70)}$	Period jitter for clock output on a regular I/O in fractional PLL	$F_{\text{OUT}} \geq 100 \text{ MHz}$	—	—	600	ps (p-p)
		$F_{\text{OUT}} < 100 \text{ MHz}$	—	—	60	mUI (p-p)

⁽⁶⁵⁾ 高输入抖动直接影响 PLL 输出抖动。要达到低 PLL 输出时钟抖动，就必须提供一个低于 120 ps 的干净时钟源。

⁽⁶⁶⁾ F_{REF} 等于 f_{IN}/N ，当 $N = 1$ 时应用规范。

⁽⁶⁷⁾ 10^{-12} (14 sigma, 99.9999999974404%置信水平)概率水平的峰峰抖动(peak-to-peak jitter)。当应用 30 ps 的输入抖动时，输出抖动规范适用于 PLL 的固有抖动。外部存储器接口时钟输出抖动规范使用一个不同的测量方法，请参考“Arria V 器件的存储器输出时钟抖动”表。

⁽⁶⁸⁾ 此规范仅涵盖用于低带宽的小数分频。对于小数分频值范围 0.05 – 0.95， f_{VCO} 必须 $\geq 1000 \text{ MHz}$ 。

⁽⁶⁹⁾ 此规范仅涵盖用于低带宽的小数分频。对于小数分频值范围 0.20 – 0.80， f_{VCO} 必须 $\geq 1200 \text{ MHz}$ 。

⁽⁷⁰⁾ 外部存储器接口时钟输出抖动规范使用一个不同的测量方法，在 Arria V 器件的存储器输出时钟抖动规范表中可以找到。

符号	参数	条件	最小值	典型值	最大值	单位
$t_{\text{OUTCCJ_IO}}^{(67)(70)}$	Cycle-to-cycle jitter for clock output on a regular I/O in integer PLL	$F_{\text{OUT}} \geq 100 \text{ MHz}$	—	—	600	ps (p-p)
		$F_{\text{OUT}} < 100 \text{ MHz}$	—	—	60	mUI (p-p)
$t_{\text{FOUTCCJ_IO}}^{(67)(68)(70)}$	Cycle-to-cycle jitter for clock output on a regular I/O in fractional PLL	$F_{\text{OUT}} \geq 100 \text{ MHz}$	—	—	600	ps (p-p)
		$F_{\text{OUT}} < 100 \text{ MHz}$	—	—	60	mUI (p-p)
$t_{\text{CASC_OUTPJ_DC}}^{(67)(71)}$	Period jitter for dedicated clock output in cascaded PLLs	$F_{\text{OUT}} \geq 100 \text{ MHz}$	—	—	175	ps (p-p)
		$F_{\text{OUT}} < 100 \text{ MHz}$	—	—	17.5	mUI (p-p)
t_{DRIFT}	Frequency drift after PFDENA is disabled for a duration of 100 μs	—	—	—	± 10	%
dK_{BIT}	Bit number of Delta Sigma Modulator (DSM)	—	8	24	32	bits
k_{VALUE}	Numerator of fraction	—	128	8388608	2147483648	—
f_{RES}	Resolution of VCO frequency	$f_{\text{INPFD}} = 100 \text{ MHz}$	390625	5.96	0.023	Hz

相关链接

[存储器输出时钟抖动规范](#) (第 1-56 页)

提供了关于外部存储器接口时钟输出抖动规范的详细信息。

⁽⁷¹⁾ 级联 PLL 规范仅应用在以下条件：

- Upstream PLL: $0.59 \text{ MHz} \leq \text{Upstream PLL BW} < 1 \text{ MHz}$
- Downstream PLL: $\text{Downstream PLL BW} > 2 \text{ MHz}$

DSP 模块性能规范

表 1-37: Arria V 器件的 DSP 模块性能规范

模式		性能			单位
		- I3, - C4	- I5, - C5	- C6	
使用一个 DSP 模块的模式	独立 9 × 9 乘法运算	370	310	220	MHz
	独立 18 × 19 乘法运算	370	310	220	MHz
	独立 18 × 25 乘法运算	370	310	220	MHz
	独立 20 × 24 乘法运算	370	310	220	MHz
	独立 27 × 27 乘法运算	310	250	200	MHz
	两个 18 × 19 乘法加法器模式	370	310	220	MHz
	与 36-bit 输入相加的 18 × 18 乘法加法器	370	310	220	MHz
使用两个 DSP 模块的模式	复数 18 × 19 乘法运算	370	310	220	MHz

存储器模块性能规范

要实现最大的存储器模块性能，需要使用一个通过片上 PLL 的全局时钟布线的存储器模块时钟，并设置成 50%输出占空比。使用 Quartus II 软件报告存储器模块时钟方案的时序。

当使用错误检测循环冗余校验（CRC）功能时，f_{MAX} 没有降级(degradation)。



表 1-38: Arria V 器件的存储器模块性能规范

存储器	模式	使用的资源		性能			单位
		ALUT	存储器	- I3, - C4	- I5, - C5	- C6	
MLAB	单端口, 所有支持的宽度	0	1	500	450	400	MHz
	简单双端口, 所有支持的宽度	0	1	500	450	400	MHz
	对同一地址读写的简单双端口	0	1	400	350	300	MHz
	ROM, 所有支持的宽度	—	—	500	450	400	MHz
M10K 模块	单端口, 所有支持的宽度	0	1	400	350	285	MHz
	简单双端口, 所有支持的宽度	0	1	400	350	285	MHz
	read-during-write 选项设为 Old Data 的简单双端口, 所有支持的宽度	0	1	315	275	240	MHz
	真双端口, 所有支持的宽度	0	1	400	350	285	MHz
	ROM, 所有支持的宽度	0	1	400	350	285	MHz

内部温度传感二极管规范

表 1-39: Arria V 器件的内部温度传感二极管规范

温度范围	精度	偏移校准选项	采样率	转换时间	分辨率	无失码的最小分辨率
- 40 到 100°C	±8°C	No	1 MHz	< 100 ms	8 bits	8 bits

外设性能

本节介绍了外设性能, 高速 I/O 和外部存储器接口。

实际可达到的频率取决于设计和系统具体因素。要确保您设计中的正确时序收敛并根据具体的设计和系统设置来执行 HSPICE/IBIS 仿真, 以确定在您的系统中能达到的最大频率。

高速 I/O 规范

表 1-40: Arria V 器件的高速 I/O 规范

当 $J = 3$ 到 10 时, 使用串化器/解串器(SERDES)模块。当 $J = 1$ 或 2 时, 旁路 SERDES 模块。

对于 LVDS 应用, 必须使用整数 PLL 模式的 PLL。

Arria V 器件支持以下两种输出标准, 它们在所有的 I/O bank 上使用真 LVDS 输出缓存类型。

- 高达 360 Mbps 数据速率的真 LVDS 输出标准
- 高达 400 Mbps 数据速率的真 mini-LVDS 输出标准

符号		条件	- I3, - C4			- I5, - C5			- C6			单位
			最小值	典型值	最大值	最小值	典型值	最大值	最小值	典型值	最大值	
$f_{\text{HSCLK_in}}$ (输入时钟频率) 真差分 I/O 标准		时钟增强因子(clock boost factor) $W = 1$ to $40^{(72)}$	5	—	800	5	—	750	5	—	625	MHz
$f_{\text{HSCLK_in}}$ (输入时钟频率)单端 I/O 标准 ⁽⁷³⁾		时钟增强因子 $W = 1$ to $40^{(72)}$	5	—	625	5	—	625	5	—	500	MHz
$f_{\text{HSCLK_in}}$ (输入时钟频率)单端 I/O 标准 ⁽⁷⁴⁾		时钟增强因子 $W = 1$ to $40^{(72)}$	5	—	420	5	—	420	5	—	420	MHz
$f_{\text{HSCLK_OUT}}$ (输出时钟频率)		—	5	—	$625^{(75)}$	5	—	$625^{(75)}$	5	—	$500^{(75)}$	MHz
发送器	真差分 I/O 标准 - f_{HSDR} (数据速率)	SERDES 因子 $J = 3$ to $10^{(76)}$	⁽⁷⁷⁾	—	1250	⁽⁷⁷⁾	—	1250	⁽⁷⁷⁾	—	1050	Mbps

⁽⁷²⁾ 时钟增强因子 (W)是输入数据速率与输入时钟速率之间的比率。

⁽⁷³⁾ 仅应用于 DPA 和 soft-CDR 模式。

⁽⁷⁴⁾ 仅应用于非 DPA 模式。

⁽⁷⁵⁾ 通过使用 LVDS 时钟网络实现。

⁽⁷⁶⁾ F_{max} 规范基于用于串行数据的快速时钟。接口 F_{MAX} 也取决于依赖于设计并要求时序分析的并行时钟域。

符号	条件	- I3, - C4			- I5, - C5			- C6			单位
		最小值	典型值	最大值	最小值	典型值	最大值	最小值	典型值	最大值	
	SERDES 因子 $J \geq 8^{(76) (78)}$, LVDS TX with RX DPA	⁽⁷⁷⁾	—	1600	⁽⁷⁷⁾	—	1500	⁽⁷⁷⁾	—	1250	Mbps
	SERDES 因子 $J = 1$ 到 2, 使用 DDR 寄存器	⁽⁷⁷⁾	—	⁽⁷⁹⁾	⁽⁷⁷⁾	—	⁽⁷⁹⁾	⁽⁷⁷⁾	—	⁽⁷⁹⁾	Mbps
具有三个外部输出电阻网络的仿真差分 I/O 标准 - f_{HSDR} (数据速率) ⁽⁸⁰⁾	SERDES 因子 $J = 4$ 到 10 ⁽⁸¹⁾	⁽⁷⁷⁾	—	945	⁽⁷⁷⁾	—	945	⁽⁷⁷⁾	—	945	Mbps
具有一个外部输出电阻网络的仿真差分 I/O 标准 - f_{HSDR} (数据速率) ⁽⁸⁰⁾	SERDES 因子 $J = 4$ 到 10 ⁽⁸¹⁾	⁽⁷⁷⁾	—	200	⁽⁷⁷⁾	—	200	⁽⁷⁷⁾	—	200	Mbps
$t_{x \text{ jitter}}$ - 真差分 I/O 标准	数据速率的总抖动 600 Mbps - 1.25 Gbps	—	—	160	—	—	160	—	—	160	ps
	数据速率的总抖动 < 600 Mbps	—	—	0.1	—	—	0.1	—	—	0.1	UI

⁽⁷⁷⁾ 最小规范取决于您使用的时钟源 (例如 PLL 和时钟管脚) 和时钟布线资源 (全局, 局部和本地)。I/O 差分缓存和输入寄存器没有最小翻转率。

⁽⁷⁸⁾ V_{CC} 和 V_{CCP} 必须在各自的电源层, 并且为 chip-to-chip 接口的 5 pF 最大加载。

⁽⁷⁹⁾ 最大的理想数据速率是 SERDES 因子 (J) x PLL 最大输出频率(f_{OUT}), 前提是您能够关闭设计时序并且信号完整性仿真是干净的。

⁽⁸⁰⁾ 您必须通过执行链路时序收敛分析计算出接收器中剩余的时序裕量。您必须考虑电路板偏移裕量, 发送器通道至通道偏移以及接收器采样裕量以决定剩余时序裕量。

⁽⁸¹⁾ 当真 LVDS RX 通道用于仿真 LVDS TX 通道时, 仅支持串化因子 1 和 2。

符号	条件	- I3, - C4			- I5, - C5			- C6			单位
		最小值	典型值	最大值	最小值	典型值	最大值	最小值	典型值	最大值	
$t_{x \text{ jitter}}$ - 具有三个外部输出电阻网络的仿真差分 I/O 标准	数据速率的总抖动 600 Mbps – 1.25 Gbps	—	—	260	—	—	300	—	—	350	ps
	数据速率的总抖动 < 600 Mbps	—	—	0.16	—	—	0.18	—	—	0.21	UI
$t_{x \text{ jitter}}$ -具有一个外部输出电阻网络的仿真差分 I/O 标准	—	—	—	0.15	—	—	0.15	—	—	0.15	UI
t_{DUTY}	真和仿真差分 I/O 标准的 TX 输出时钟占空比	45	50	55	45	50	55	45	50	55	%
t_{RISE} 和 t_{FALL}	真差分 I/O 标准 ⁽⁸²⁾	—	—	160	—	—	180	—	—	200	ps
	具有三个外部输出电阻网络的仿真差分 I/O 标准	—	—	250	—	—	250	—	—	300	ps
	具有一个外部输出电阻网络的仿真差分 I/O 标准	—	—	500	—	—	500	—	—	500	ps
TCCS	真差分 I/O 标准	—	—	150	—	—	150	—	—	150	ps
	仿真差分 I/O 标准	—	—	300	—	—	300	—	—	300	ps

⁽⁸²⁾ 仅应用于默认的预加重和 V_{OD} 设置。

符号		条件	- I3, - C4			- I5, - C5			- C6			单位
			最小值	典型值	最大值	最小值	典型值	最大值	最小值	典型值	最大值	
接收器	真差分 I/O 标准 - $f_{HSDRDPA}$ (数据速率)	SERDES 因子 J = 3 到 10 ⁽⁷⁶⁾	150	—	1250	150	—	1250	150	—	1050	Mbps
		SERDES factor J $\geq$ 8 with DPA ⁽⁷⁶⁾ ⁽⁷⁸⁾	150	—	1600	150	—	1500	150	—	1250	Mbps
	f_{HSDR} (数据速率)	SERDES factor J = 3 to 10	⁽⁷⁷⁾	—	⁽⁸³⁾	⁽⁷⁷⁾	—	⁽⁸³⁾	⁽⁷⁷⁾	—	⁽⁸³⁾	Mbps
		SERDES 因子 J = 1 到 2, 使用 DDR 寄存器	⁽⁷⁷⁾	—	⁽⁷⁹⁾	⁽⁷⁷⁾	—	⁽⁷⁹⁾	⁽⁷⁷⁾	—	⁽⁷⁹⁾	Mbps
DPA 模式	DPA 运行长度	—	—	—	10000	—	—	10000	—	—	10000	UI
Soft-CDR 模式	Soft-CDR ppm 容限	—	—	—	300	—	—	300	—	—	300	$\pm$ ppm
Non-DPA 模式	采样窗口	—	—	—	300	—	—	300	—	—	300	ps

⁽⁸³⁾ 通过执行链路时序收敛分析能够评估非 DPA 模式的可实现最大数据速率。您必须考虑电路板偏移裕量, 发送器延迟裕量以及接收器采样裕量以决定支持的最大数据速率。

DPA 锁定时间规范

图 1-4: DPA PLL 校准使能的动态相位对齐(DPA)锁定时间规范

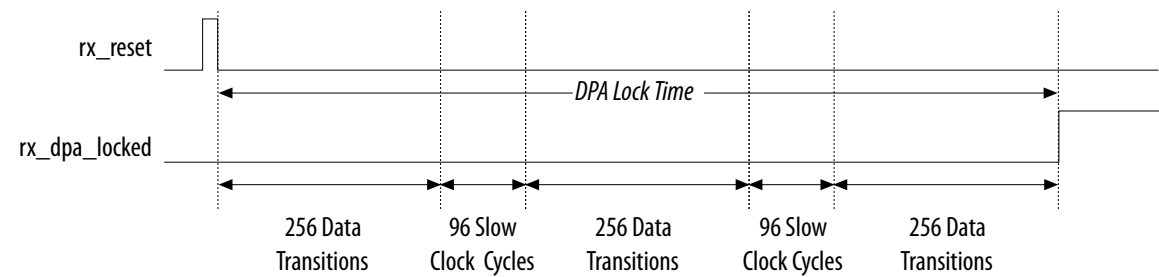


表 1-41: Arria V 器件的 DPA 锁定时间规范

这些规范应用于商业以及工业等级。DPA 锁定时间用于一个通道。一个数据跳变定义为一个 0 到 1 或 1 到 0 的跳变。

标准	训练码型 (training pattern)	在训练码型的一次重复中的数据跳变次数	每 256 个数据跳变的重复次数 ⁽⁸⁴⁾	最大数据跳变
SPI-4	00000000001111111111	2	128	640
Parallel Rapid I/O	00001111	2	128	640
	10010000	4	64	640
其他	10101010	8	32	640
	01010101	8	32	640

⁽⁸⁴⁾ 这是所述训练码型达到 256 个数据跳变的重复次数。

LVDS Soft-CDR/DPA 正弦抖动容限规范

图 1-5: 等于 1.25 Gbps 数据速率的 LVDS Soft-CDR（软核时钟数据恢复）/DPA 正弦抖动容限规范

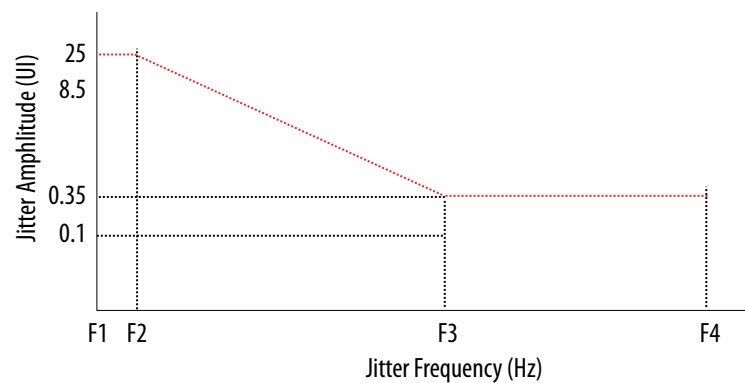
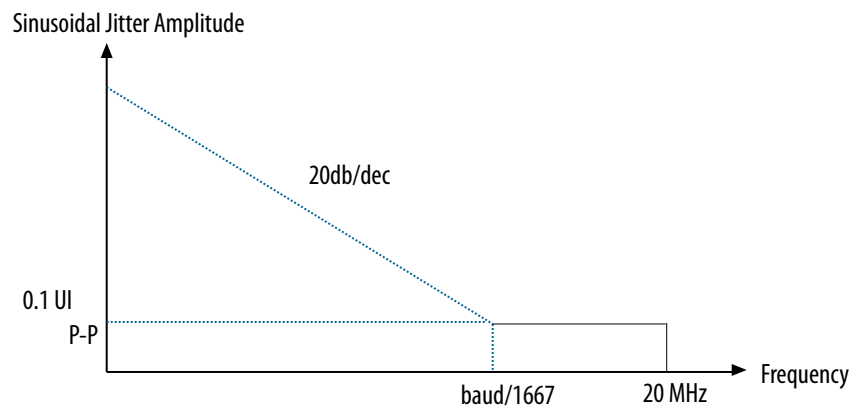


表 1-42: 等于 1.25 Gbps 数据速率的 LVDS Soft-CDR/DPA 正弦抖动掩码值

抖动频率 (Hz)		正弦抖动 (UI)
F1	10,000	25.000
F2	17,565	25.000
F3	1,493,000	0.350
F4	50,000,000	0.350

图 1-6: 小于 1.25 Gbps 数据速率的 LVDS Soft-CDR/DPA 正弦抖动容限规范



DLL 频率范围规范

表 1-43: Arria V 器件的 DLL 频率范围规范

参数	- I3, - C4	- I5, - C5	- C6	单位
DLL operating frequency range	200 - 667	200 - 667	200 - 667	MHz

DQS 逻辑模块规范

表 1-44: Arria V 器件的 DLL 延迟时钟(t_{DQS_PSERR})的 DQS 相移误差规范

此误差规范是绝对最大和最小误差。

DQS 延迟缓存的数量	- I3, - C4	- I5, - C5	- C6	单位
2	40	80	80	ps

存储器输出时钟抖动规范

表 1-45: Arria V 器件的存储器输出时钟抖动规范

存储器输出时钟抖动测量用于 200 个连续的时钟周期，如 JEDEC DDR2/DDR3 SDRAM 标准中所指定的。

当通过误码率 (BER) 10^{-12} （等同于 14 sigma）应用 30 ps (p-p) 的输入抖动时，可以应用存储器输出时钟抖动。

Altera 建议使用 UniPHY intellectual property (IP) with PHYCLK 连接，以实现更高的抖动性能。

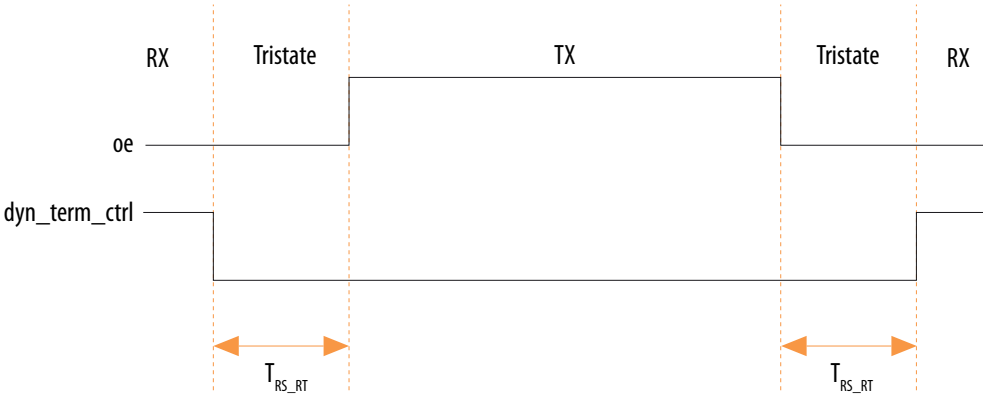
参数	时钟网络	符号	- I3, - C4		- I5, - C5		- C6		单位
			Min	Max	Min	Max	Min	Max	
Clock period jitter	PHYCLK	$t_{JIT(per)}$	-41	41	-50	50	-55	55	ps
Cycle-to-cycle period 抖动	PHYCLK	$t_{JIT(cc)}$	63		90		94		ps

OCT 校准模块规范

表 1-46: Arria V 器件的 OCT 校准模块规范

符号	说明	最小值	典型值	最大值	单位
OCTUSRCLK	OCT 校准模块需要的时钟	—	—	20	MHz
T_{OCTCAL}	R_S OCT/ R_T OCT 校准所需要的 OCTUSRCLK 时钟周期数	—	1000	—	周期
$T_{OCTSHIFT}$	移出 OCT 代码所需要的 OCTUSRCLK 时钟周期数	—	32	—	周期
T_{RS_RT}	双向 I/O 缓存中 dyn_term_ctrl 与 oe 信号跳变以在 R_S OCT 与 R_T OCT 之间进行动态切换所需要的时间	—	2.5	—	ns

图 1-7: oe 和 dyn_term_ctrl 信号的时序图



占空比失真 (DCD)规范

表 1-47: Arria V I/O 管脚上的最坏情况 DCD

输出 DCD 周期仅应用于 I/O 缓存。它不涵盖系统 DCD。

符号	- I3, - C4		- C5, - I5		- C6		单位
	最小值	最大值	最小值	最大值	最小值	最大值	
输出占空比	45	55	45	55	45	55	%

HPS 规范

本节介绍了 Arria V 器件的 HPS 规范和时序。

对于 HPS 复位，HPS 硬复位信号和软复位信号(HPS_nRST 和 HPS_nPOR)的最小复位脉冲宽度是 6 个时钟周期的 HPS_CLK1。

HPS 时钟性能

表 1-48: Arria V 器件的 HPS 时钟性能

符号/说明	- I3	- C4	- C5, - I5	- C6	单位
mpu_base_clk (微处理器单元时钟)	1050	925	800	700	MHz
main_base_clk (L3/L4 互联时钟)	400	400	400	350	MHz
h2f_user0_clk	100	100	100	100	MHz
h2f_user1_clk	100	100	100	100	MHz
h2f_user2_clk	200	200	200	160	MHz

HPS PLL 规范

HPS PLL VCO 频率范围

表 1-49: Arria V 器件的 HPS PLL VCO 频率范围

说明	速度等级	最小值	最大置	单位
VCO 范围	- C5, - I5, - C6	320	1,600	MHz
	- C4	320	1,850	MHz
	- I3	320	2,100	MHz

HPS PLL 输入时钟范围

HPS PLL 输入时钟范围是 10 - 50 MHz。此时钟范围应用于 HPS_CLK1 以及 HPS_CLK2 输入。

相关链接

[时钟选择, 引导和配置章节](#)

提供了关于不同时钟选择(CSEL)值的时钟范围。

HPS PLL 输入抖动

使用下面公式计算 HPS PLL 能够承受的最大输入抖动(peak-to-peak)。divide value (N)是每个 PLL 的 VCO 寄存器的分母值。PLL 输入参考时钟除此值。该分母的范围是 1 到 64。

$$\text{Maximum input jitter} = \text{Input clock period} \times \text{Divide value (N)} \times 0.02$$

表 1-50: 最大输入抖动的实例

输入参考时钟周期	Divide Value (N)	最大抖动	单位
40 ns	1	0.8	ns
40 ns	2	1.6	ns
40 ns	4	3.2	ns

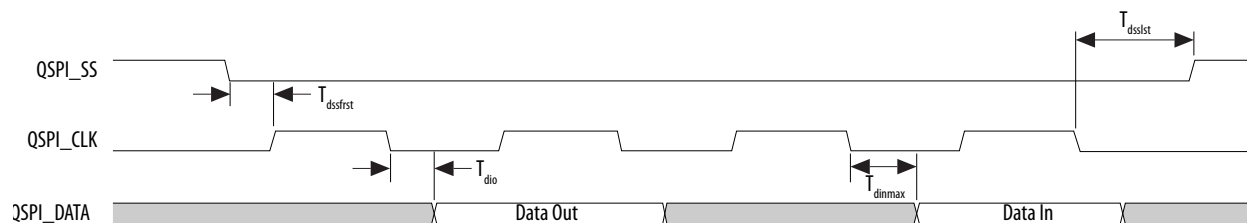
Quad SPI 闪存时序特征

表 1-51: Arria V 器件的 Quad SPI(串行外设接口)闪存时序要求

符号	说明	最小值	典型值	最大值	单位
F _{clk}	CLK 时钟频率	—	—	108	MHz
T _{dutycycle}	QSPI_CLK 占空比	45	—	55	%
T _{dssfrst}	第一个时钟沿之前的输出延迟 QSPI_SS 有效	—	1/2 周期的 QSPI_CLK	—	ns
T _{dsslst}	最后一个时钟沿之后的输出延迟 QSPI_SS 有效	-1	—	1	ns
T _{dio}	I/O 数据输出延迟	-1	—	1	ns
T _{dinmax}	从 QSPI_CLK 的下降沿到数据到达 SoC 的最大数据输入延迟。通过编程 qspiregs.rddatacap 寄存器的延迟域可以调整输入数据的采集逻辑。	—	—	—	—

图 1-8: Quad SPI 闪存时序图

此时序图显示了时钟极性模式 0 和时钟相位模式 0。



SPI 时序特征

表 1-52: Arria V 器件的 SPI 主时序要求

建立和保持时间可用于德州仪器的 SSP 模式和国家半导体公司的 Microwire 模式。

符号	说明	最小值	最大值	单位
T_{clk}	CLK 时钟周期	—	16.67	ns
$T_{duty cycle}$	SPI_CLK 占空比	45	55	%
T_{dssfst}	第一个时钟沿之前的输出延迟 SPI_SS 有效	8	—	ns
T_{dsslst}	最后一个时钟沿之后的输出延迟 SPI_SS 有效	8	—	ns
T_{dio}	主出从进(MOSI)输出延迟	-1	1	ns
T_{dinmax}	从 SPI_CLK 的下降沿到数据到达 SoC 的最大数据输入延迟。 通过编程 RX 样本延迟寄存器可以控制输入数据的采集。	—	500	ns

图 1-9: SPI 主时序图

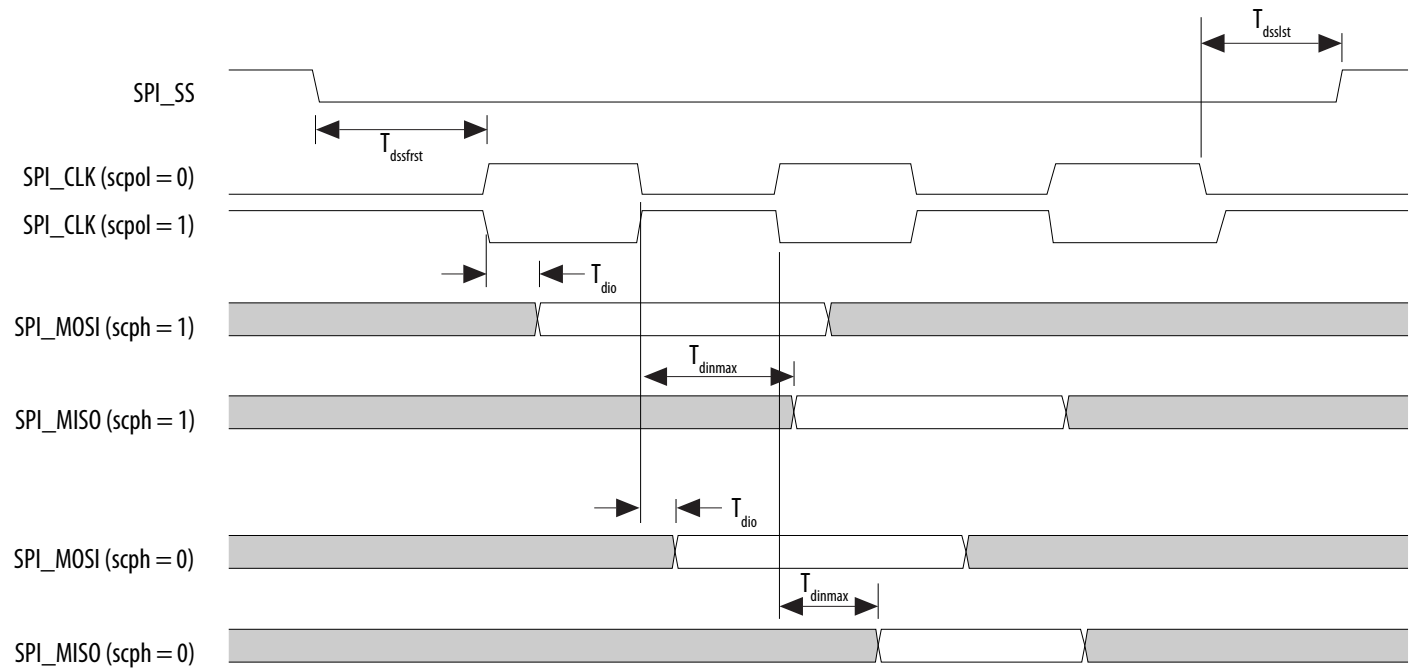


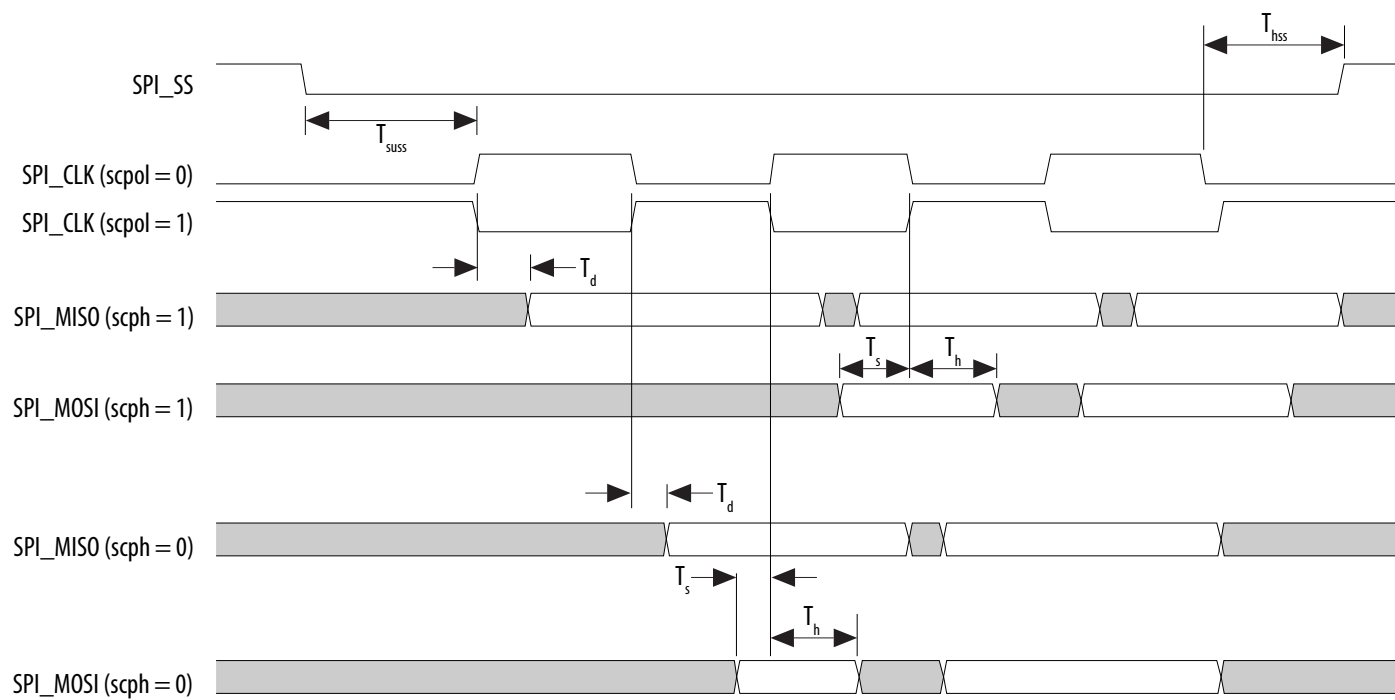
表 1-53: Arria V 器件的 SPI 从时序要求

建立和保持时间可用于德州仪器的 SSP 模式和国家半导体公司的 Microwire 模式。

符号	说明	最小值	最大值	单位
T_{clk}	CLK 时钟周期	20	—	ns
T_s	MOSI 建立时间	5	—	ns
T_h	MOSI 保持时间	5	—	ns
T_{suss}	第一个时钟沿之前的建立时间 SPI_SS 有效	8	—	ns
T_{hss}	最后一个时钟沿之后的保持时间 SPI_SS 有效	8	—	ns

符号	说明	最小值	最大值	单位
T_d	主进从出 (MISO) 输出延迟	—	6	ns

图 1-10: SPI 从时序图

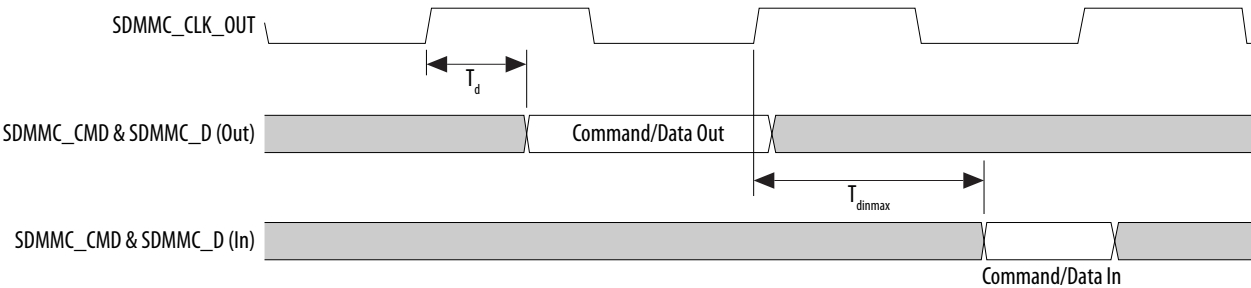


SD/MMC 时序特征

表 1-54: Arria V 器件的安全数字（SD）/多媒体卡（MMC）时序要求

符号	说明	最小值	最大值	单位
T_{clk}	SDMMC_CLK_OUT 时钟周期（高速模式）	20	—	ns
	SDMMC_CLK_OUT 时钟周期（默认速度模式）	40	—	ns
$T_{duty\,cycle}$	SDMMC_CLK_OUT 占空比	45	55	%
T_d	SDMMC_CMD/SDMMC_D 输出延迟	—	6	ns
$T_{din\,max}$	从 SDMMC_CLK 的上升沿到数据到达 SoC 的最大输入延迟	—	25	ns

图 1-11: SD/MMC 时序图



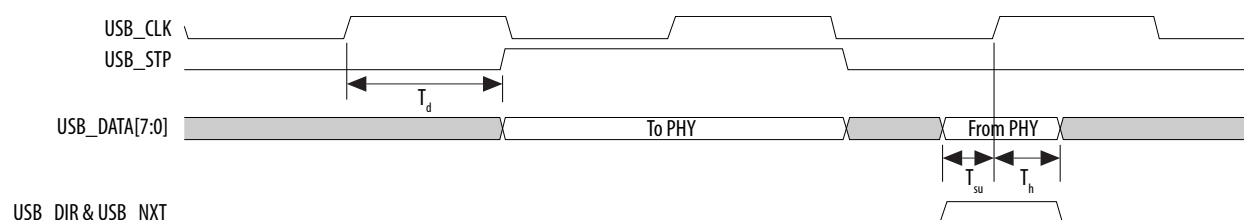
USB 时序特征

由于时序问题，通过 USB 控制器，支持 LPM 模式的 PHY 可能不会正确运行。设计人员被建议使用 MicroChip USB3300 PHY 器件，此器件已被证明在开发板上是成功的。

表 1-55: Arria V 器件的 USB 时序要求

符号	说明	最小值	典型值	最大值	单位
T_{clk}	USB CLK 时钟周期	—	16.67	—	ns
T_d	CLK 到 USB_STP/USB_DATA[7:0]输出延迟	4.4	—	11	ns
T_{su}	USB_DIR/USB_NXT/USB_DATA[7:0]的建立时间	2	—	—	ns
T_h	USB_DIR/USB_NXT/USB_DATA[7:0]的保持时间	1	—	—	ns

图 1-12: USB 时序图



以太网介质访问控制器 (EMAC) 时序特征

表 1-56: Arria V 器件的简化的千兆介质独立接口(RGMII)TX 时序要求

符号	说明	最小值	典型值	最大值	单位
T_{clk} (1000Base-T)	TX_CLK 时钟周期	—	8	—	ns
T_{clk} (100Base-T)	TX_CLK 时钟周期	—	40	—	ns
T_{clk} (10Base-T)	TX_CLK 时钟周期	—	400	—	ns
$T_{\text{duty cycle}}$	TX_CLK 占空比	45	—	55	%
T_d	TX_CLK 到 TXD/TX_CTL 输出数据延迟	-0.85	—	0.15	ns

图 1-13: RGMII TX 时序图

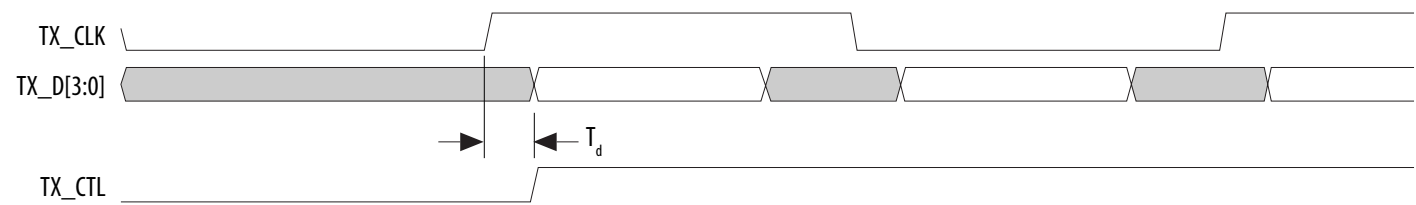


表 1-57: Arria V 器件的 RGMII RX 时序要求

符号	说明	最小值	典型值	单位
T_{clk} (1000Base-T)	RX_CLK 时钟周期	—	8	ns
T_{clk} (100Base-T)	RX_CLK 时钟周期	—	40	ns
T_{clk} (10Base-T)	RX_CLK 时钟周期	—	400	ns
T_{su}	RX_D/RX_CTL 建立时间	1	—	ns
T_h	RX_D/RX_CTL 保持时间	1	—	ns

图 1-14: RGMII RX 时序图

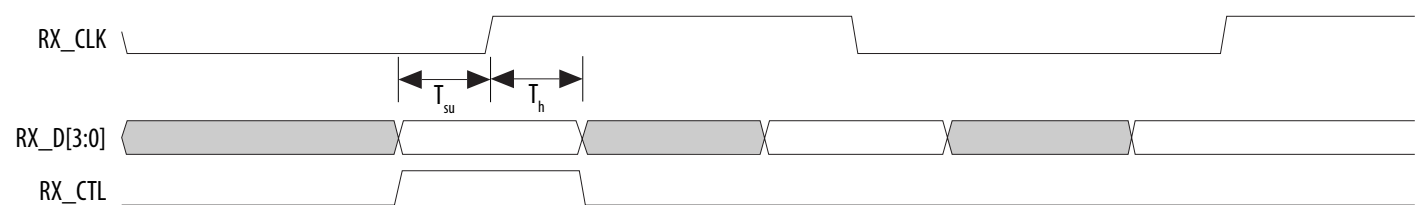
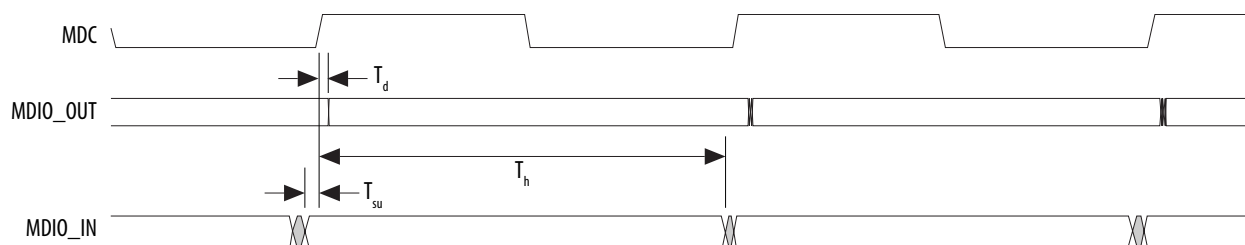


表 1-58: Arria V 器件的管理数据输入/输出(MDIO)时序要求

符号	说明	最小值	典型值	单位
T_{clk}	MDC 时钟周期	—	400	ns
T_d	MDC 到 MDIO 输出数据延迟	10	—	ns
T_s	MDIO 数据的建立时间	10	—	ns
T_h	MDIO 数据的保持时间	0	—	ns

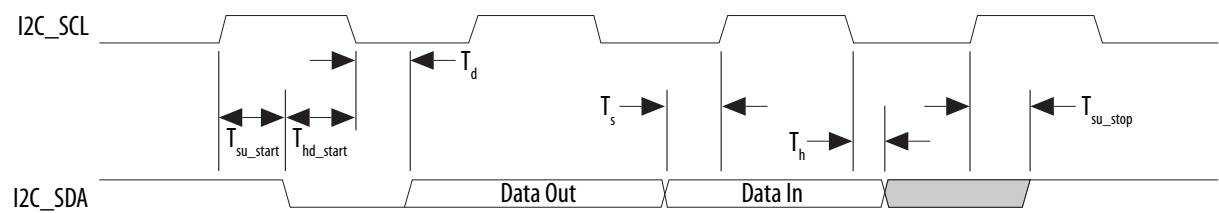
图 1-15: MDIO 时序图

I²C 时序特征表 1-59: Arria V 器件的 I²C 时序要求

符号	说明	标准模式		快速模式		单位
		最小值	最大值	最小值	最大值	
T_{clk}	串行时钟 (SCL) 时钟周期	—	10	—	2.5	μs
T_{clkhigh}	SCL 高时间	4.7	—	0.6	—	μs
T_{clklow}	SCL 低时间	4	—	1.3	—	μs
T_s	串行数据线(SDA)数据到 SCL 的建立时间	0.25	—	0.1	—	μs

符号	说明	标准模式		快速模式		单位
		最小值	最大值	最小值	最大值	
T_h	SCL 到 SDA 数据的保持时间	0	3.45	0	0.9	μs
T_d	SCL 到 SDA 输出数据延迟	—	0.2	—	0.2	μs
$T_{\text{su_start}}$	一个重复启动条件的建立时间	4.7	—	0.6	—	μs
$T_{\text{hd_start}}$	一个重复启动条件的保持时间	4	—	0.6	—	μs
$T_{\text{su_stop}}$	一个停止条件的建立时间	4	—	0.6	—	μs

图 1-16: I²C 时序图



NAND 时序特征

表 1-60: Arria V 器件的 NAND ONFI 1.0 时序要求

NAND 控制器支持 Open NAND FLASH Interface (ONFI) 1.0 Mode 5 时序以及传统的 NAND 器件。此表列出了 ONFI 1.0 mode 5 时序的要求。通过编程主 HPS PLL 的 c4 输出和 NAND 控制器中提供的时序寄存器，HPS NAND 控制器能够满足此时序。

符号	说明	最小值	最大值	单位
$T_{\text{wp}}^{(85)}$	写使能脉冲宽度	10	—	ns
$T_{\text{wh}}^{(85)}$	写使能保持时间	7	—	ns

⁽⁸⁵⁾ 通过 NAND 配置寄存器控制 NAND 接口的时序。

符号	说明	最小值	最大值	单位
$T_{rp}^{(85)}$	读使能脉冲宽度	10	—	ns
$T_{reh}^{(85)}$	读使能保持时间	7	—	ns
$T_{clesu}^{(85)}$	命令锁存使能到写使能建立时间	10	—	ns
$T_{cleh}^{(85)}$	命令锁存使能到写使能保持时间	5	—	ns
$T_{cesu}^{(85)}$	芯片使能到写使能建立时间	15	—	ns
$T_{ceh}^{(85)}$	芯片使能到写使能保持时间	5	—	ns
$T_{alesu}^{(85)}$	地址锁存使能到写使能建立时间	10	—	ns
$T_{aleh}^{(85)}$	地址锁存使能到写使能保持时间	5	—	ns
$T_{dsu}^{(85)}$	数据到写使能建立时间	10	—	ns
$T_{dh}^{(85)}$	数据到写使能保持时间	5	—	ns
T_{cea}	芯片使能到数据存取时间	—	25	ns
T_{rea}	读使能到数据存取时间	—	16	ns
T_{rhz}	读使能到数据高阻抗	—	100	ns
T_{rr}	准备就绪到读使能低	20	—	ns

图 1-17: NAND 命令锁存时序图

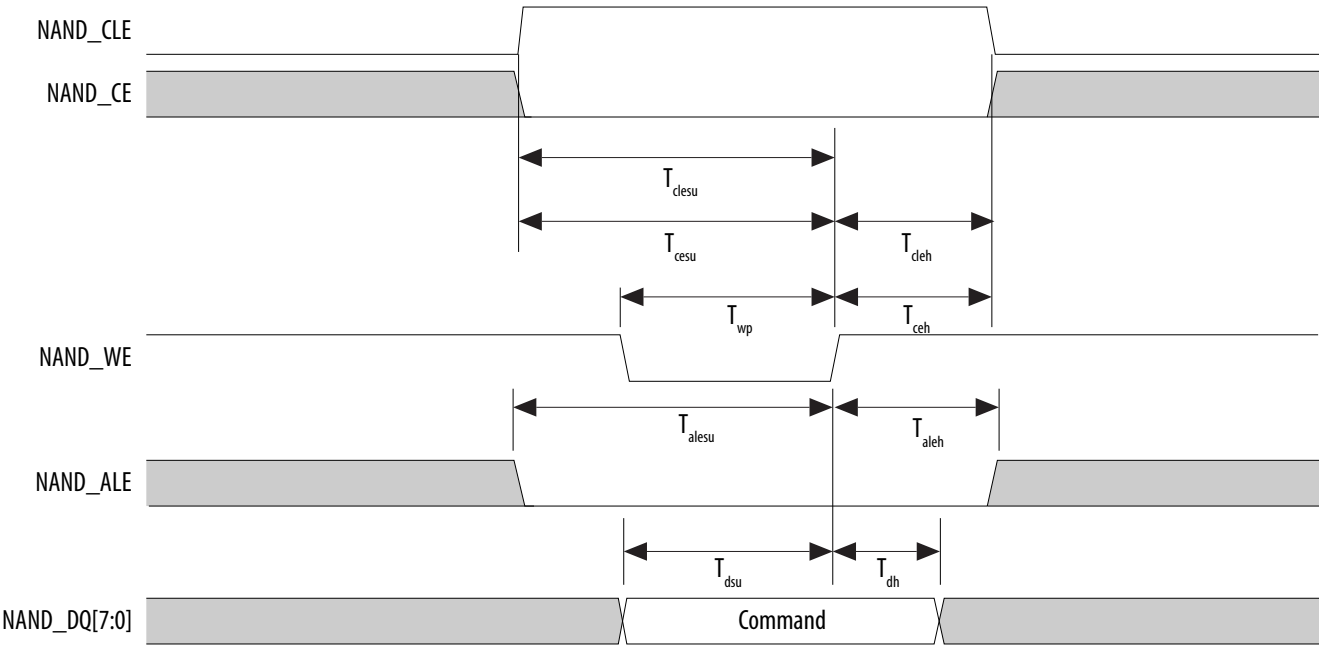


图 1-18: NAND 地址锁存时序图

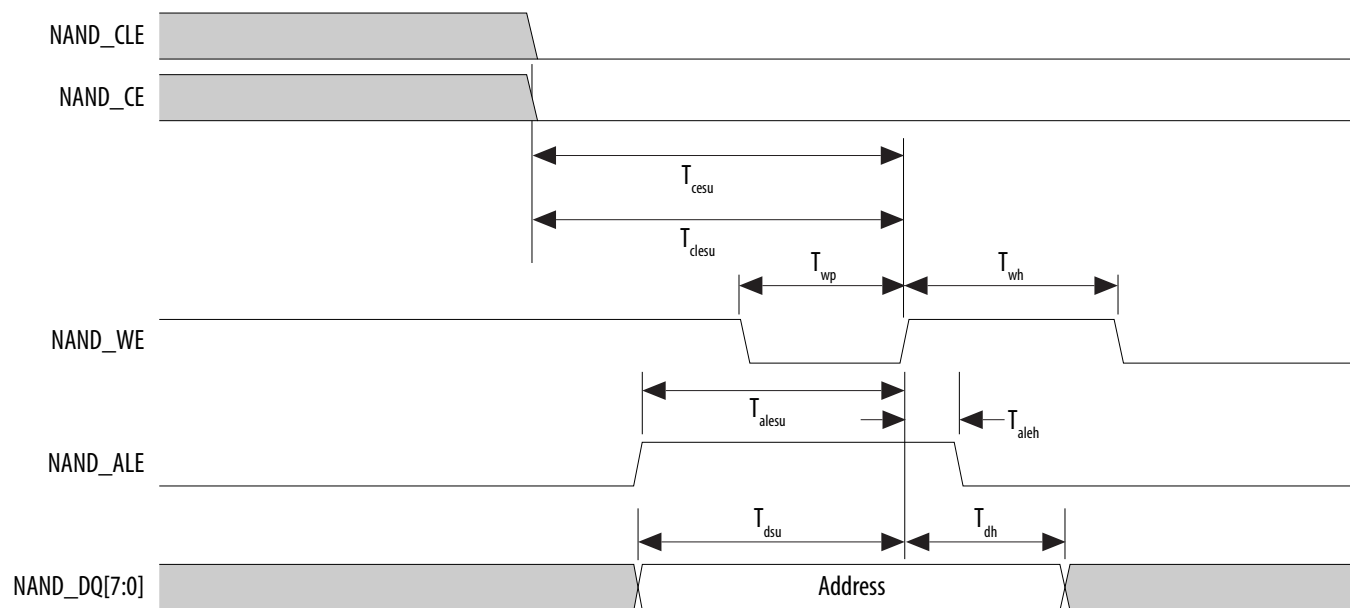


图 1-19: NAND 数据写时序图

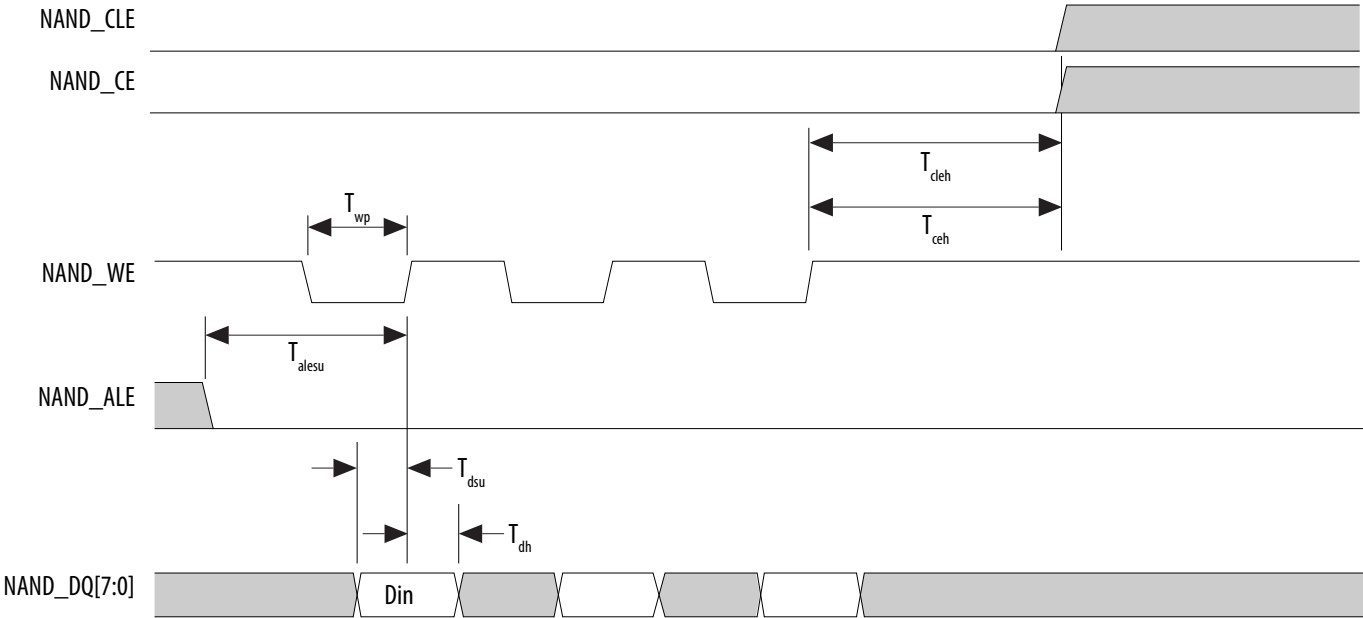
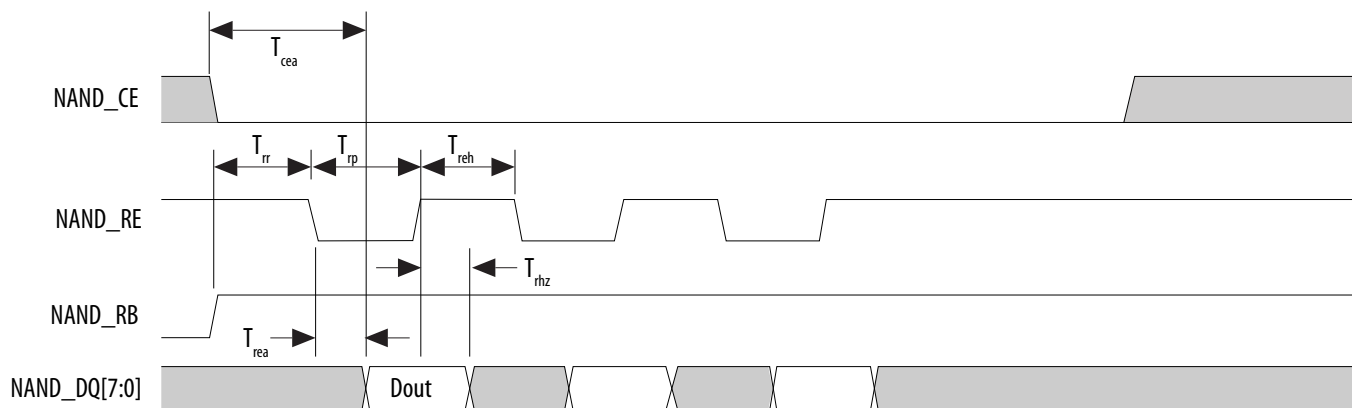


图 1-20: NAND 数据读时序图



ARM 走线时序特征

表 1-61: Arria V 器件的 ARM 走线时序要求

大多数调试工具都有一种用于调整走线数据采集点的机制。

说明	最小值	最大值	单位
CLK 时钟周期	12.5	—	ns
CLK 最大占空比	45	55	%
CLK 到 D0 – D7 输出数据延迟	-1	1	ns

UART 接口

最大 UART 波特率为每秒 6.25 兆符号。

GPIO 接口

最小可检测的通用 I/O (GPIO) 脉冲宽度是 2 μ s。脉冲宽度基于 1 MHz 的去抖动时钟频率。

HPS JTAG 时序规范

表 1-62: Arria V 器件的 HPS JTAG 时序参数和值

符号	说明	最小值	最大值	单位
t _{JCP}	TCK 时钟周期	30	—	ns
t _{JCH}	TCK 时钟高时间	14	—	ns
t _{JCL}	TCK 时钟低时间	14	—	ns
t _{JPSU} (TDI)	TDI JTAG 端口建立时间	2	—	ns
t _{JPSU} (TMS)	TMS JTAG 端口建立时间	3	—	ns
t _{JPH}	JTAG 端口保持时间	5	—	ns
t _{JPCO}	JTAG 端口时钟到输出	—	12 ⁽⁸⁶⁾	ns
t _{JPZX}	JTAG 端口高阻抗到有效输出	—	14 ⁽⁸⁶⁾	ns
t _{JPXZ}	JTAG 端口有效输出到高阻抗	—	14 ⁽⁸⁶⁾	ns

配置规范

本节介绍了 Arria V 器件的配置规范和时序。

⁽⁸⁶⁾ 每个从 3.0 V 的 V_{CCIO_HPS} 压降都需要一个 1-ns 加法器。例如，如果 TDO I/O bank 的 V_{CCIO_HPS} = 2.5 V，那么 t_{JPCO} = 13 ns，或者如果等于 1.8 V，那么就是 14 ns。

POR 规范

表 1-63: Arria V 器件的快速和标准 POR 延迟规范

POR 延迟	最小值	最大值	单位
快速	4	12 ⁽⁸⁷⁾	ms
标准	100	300	ms

相关链接

[MSEL 管脚设置](#)

提供了关于每种配置方案基于 MSEL 管脚设置的 POR 延迟的详细信息。

FPGA JTAG 配置时序

表 1-64: Arria V 器件的 FPGA JTAG 时序参数和值

符号	说明	最小值	最大值	单位
t _{JCP}	TCK 时钟周期	30, 167 ⁽⁸⁸⁾	—	ns
t _{JCH}	TCK 时钟高时间	14	—	ns
t _{JCL}	TCK 时钟低时间	14	—	ns
t _{JPSU} (TDI)	TDI JTAG 端口建立时间	2	—	ns
t _{JPSU} (TMS)	TMS JTAG 端口建立时间	3	—	ns
t _{JPH}	JTAG 端口保持时间	5	—	ns
t _{JPCO}	JTAG 端口时钟到输出	—	12 ⁽⁸⁹⁾	ns
t _{JPZX}	JTAG 端口高阻抗到有效输出	—	14 ⁽⁸⁹⁾	ns

⁽⁸⁷⁾ 快速 POR 延迟的最大脉冲宽度是 12 ms，对 PCIe hard IP 在 POR trip 后进行初始化提供了足够时间。

⁽⁸⁸⁾ 如果在执行易失性密钥编程时 V_{CCBAT} 在 1.2 V - 1.5 V 范围内，那么最小 TCK 时钟周期是 167 ns。

符号	说明	最小值	最大值	单位
t_{jPXZ}	JTAG 端口有效输出到高阻抗	—	14 ⁽⁸⁹⁾	ns

FPP 配置时序

FPP 配置的 DCLK 与 DATA[] 比率(r)

当开启加密或压缩功能时，快速被动并行（FPP）配置需要一个不同的 DCLK 与 DATA[] 的比率。

根据 DCLK 与 DATA[] 的比率，主机(host)必须发送一个 DCLK 频率，此频率为 r 乘以 DATA[] 速率，单位为字节每秒(Bps)或字每秒(Wps)。例如，在 FPP $\times 16$ 中，其中 r 是 2，DCLK 频率必须是 2 乘以 DATA[] 速率(单位是 Wps)。

表 1-65: Arria V 器件的 DCLK 与 DATA[] 的比率(DCLK-to-DATA[] Ratio)

配置方案	加密	压缩	DCLK 与 DATA[] 的比率(r)
FPP (8 比特宽)	Off	Off	1
	On	Off	1
	Off	On	2
	On	On	2
FPP (16 比特宽)	Off	Off	1
	On	Off	2
	Off	On	4
	On	On	4

⁽⁸⁹⁾ 每个从 3.0 V 的 VCCIO 压降都需要一个 1-ns 加法器。例如，如果 TDO I/O bank 的 VCCIO = 2.5 V，那么 $t_{JPCO} = 13$ ns，或者如果等于 1.8 V，那么就是 14 ns。

当 DCLK-to-DATA[] = 1 时的 FPP 配置时序

当您使能解压缩或设计安全功能时，DCLK-to-DATA[] 比率对于 FPP ×8 和 FPP ×16 是不同的。关于相应的 DCLK-to-DATA[] 比率，请参考 Arria V 器件的 DCLK-to-DATA[] 比率表。

表 1-66: Arria V 器件 DCLK-to-DATA[] Ratio 为 1 时的 FPP 时序参数

符号	参数	最小值	最大值	单位
t_{CF2CD}	nCONFIG low to CONF_DONE low	—	600	ns
t_{CF2ST0}	nCONFIG low to nSTATUS low	—	600	ns
t_{CFG}	nCONFIG low pulse width	2	—	μs
t_{STATUS}	nSTATUS low pulse width	268	1506 ⁽⁹⁰⁾	μs
t_{CF2ST1}	nCONFIG high to nSTATUS high	—	1506 ⁽⁹¹⁾	μs
t_{CF2CK} ⁽⁹²⁾	nCONFIG high to first rising edge on DCLK	1506	—	μs
t_{ST2CK} ⁽⁹²⁾	nSTATUS high to first rising edge of DCLK	2	—	μs
t_{DSU}	DATA[] setup time before rising edge on DCLK	5.5	—	ns
t_{DH}	DATA[] hold time after rising edge on DCLK	0	—	ns
t_{CH}	DCLK high time	$0.45 \times 1/f_{MAX}$	—	s
t_{CL}	DCLK low time	$0.45 \times 1/f_{MAX}$	—	s
t_{CLK}	DCLK period	$1/f_{MAX}$	—	s
f_{MAX}	DCLK frequency (FPP ×8/ ×16)	—	125	MHz
t_{CD2UM}	CONF_DONE high to user mode ⁽⁹³⁾	175	437	μs
t_{CD2CU}	CONF_DONE high to CLKUSR enabled	4×最大化 DCLK 周期	—	—

⁽⁹⁰⁾ 如果不通过扩展 nCONFIG 或 nSTATUS 低脉冲宽度来延迟配置，那么可以使用此值。

⁽⁹¹⁾ 如果不通过从外部保持 nSTATUS 低电平来延迟配置，那么可以使用此值。

⁽⁹²⁾ 如果 nSTATUS 被监控，那么遵循 t_{ST2CK} 规范。如果 nSTATUS 没被监控，那么遵循 t_{CF2CK} 规范。

⁽⁹³⁾ 最小和最大数量仅在您选择内部振荡器作为初始化器件的时钟源时适用。

符号	参数	最小值	最大值	单位
t_{CD2UMC}	CONF_DONE high to user mode with CLKUSR option on	$t_{CD2CU} + (T_{init} \times \text{CLKUSR 周期})$	—	—
T_{init}	Number of clock cycles required for device initialization	17,408	—	周期

相关链接

[FPP 配置时序](#)

提供了 FPP 配置时序波形。

当 DCLK-to-DATA[] > 1 时的 FPP 配置时序

表 1-67: Arria V 器件 DCLK-to-DATA[] Ratio > 1 时的 FPP 时序参数

当使用解压缩和设计安全功能时，使用这些时序参数。

符号	参数	最小值	最大值	单位
t_{CF2CD}	nCONFIG low to CONF_DONE low	—	600	ns
t_{CF2ST0}	nCONFIG low to nSTATUS low	—	600	ns
t_{CFG}	nCONFIG low pulse width	2	—	μs
t_{STATUS}	nSTATUS low pulse width	268	1506 ⁽⁹⁴⁾	μs
t_{CF2ST1}	nCONFIG high to nSTATUS high	—	1506 ⁽⁹⁵⁾	μs
t_{CF2CK} ⁽⁹⁶⁾	nCONFIG high to first rising edge on DCLK	1506	—	μs
t_{ST2CK} ⁽⁹⁶⁾	nSTATUS high to first rising edge of DCLK	2	—	μs
t_{DSU}	DATA[] setup time before rising edge on DCLK	5.5	—	ns
t_{DH}	DATA[] hold time after rising edge on DCLK	$N - 1/f_{DCLK}$ ⁽⁹⁷⁾	—	s

⁽⁹⁴⁾ 如果不通过扩展 nCONFIG 或者 nSTATUS 低脉冲宽度来延迟配置，那么可使用该值。

⁽⁹⁵⁾ 如果不通过从外部保持 nSTATUS 低电平来延迟配置，那么可使用该值。

⁽⁹⁶⁾ 如果 nSTATUS 被监控，那么遵循 t_{ST2CK} 规范。如果 nSTATUS 没被监控，那么遵循 t_{CF2CK} 规范。

符号	参数	最小值	最大值	单位
t_{CH}	DCLK high time	$0.45 \times 1/f_{MAX}$	—	s
t_{CL}	DCLK low time	$0.45 \times 1/f_{MAX}$	—	s
t_{CLK}	DCLK period	$1/f_{MAX}$	—	s
f_{MAX}	DCLK frequency (FPP $\times 8/ \times 16$)	—	125	MHz
t_R	Input rise time	—	40	ns
t_F	Input fall time	—	40	ns
t_{CD2UM}	CONF_DONE high to user mode ⁽⁹⁸⁾	175	437	μs
t_{CD2CU}	CONF_DONE high to CLKUSR enabled	4 $\times$ 最大化 DCLK 周期	—	—
t_{CD2UMC}	CONF_DONE high to user mode with CLKUSR option on	$t_{CD2CU} + (T_{init} \times \text{CLKUSR 周期})$	—	—
T_{init}	Number of clock cycles required for device initialization	17,408	—	周期

相关链接

[FPP 配置时序](#)

提供了 FPP 配置时序波形。

AS 配置时序

表 1-68: Arria V 器件中的 AS $\times 1$ 和 AS $\times 4$ 配置的 AS 时序参数

当内部振荡器或者 CLKUSR 用作器件配置的时钟源时，最小和最大数量应用于两者。

对于 Arria V 器件的 PS 时序参数表中列出的被动串行 (PS) 的时序参数而言， t_{CF2CD} ， t_{CF2ST0} ， t_{CFG} ， t_{STATUS} 和 t_{CF2ST1} 时序参数是相同的。如果不通过从外部保持 nSTATUS 低电平来延迟配置，那么可以使用 t_{CF2ST1} 值。

⁽⁹⁷⁾ N 是 DCLK-to-DATA 比率， f_{DCLK} 是系统的 DCLK 频率。

⁽⁹⁸⁾ 最小和最大数量仅在您选择内部振荡器作为初始化器件的时钟源时适用。

符号	参数	最小值	最大值	单位
t _{CO}	DCLK falling edge to the AS_DATA0/ASD0 output	—	2	ns
t _{SU}	Data setup time before the falling edge on DCLK	1.5	—	ns
t _{DH}	Data hold time after the falling edge on DCLK	0	—	ns
t _{CD2UM}	CONF_DONE high to user mode	175	437	µs
t _{CD2CU}	CONF_DONE high to CLKUSR enabled	4 × 最大化 DCLK 周期	—	—
t _{CD2UMC}	CONF_DONE high to user mode with CLKUSR option on	t _{CD2CU} + (T _{init} × CLKUSR 周期)	—	—
T _{init}	Number of clock cycles required for device initialization	17,408	—	周期

相关链接

- [PS 配置时序](#) (第 1-80 页)
- [AS 配置时序](#)
提供了 AS 配置时序波形。

AS 配置方案中的 DCLK 频率规范

表 1-69: AS 配置方案中的 DCLK 频率规范

此表列出了 AS 配置方案的内部时钟频率规范。当内部振荡器用作配置时钟源时应用 DCLK 频率规范。AS 多器件配置方案不支持 100 MHz 的 DCLK 频率。

参数	最小值	典型值	最大值	单位
DCLK frequency in AS configuration scheme	5.3	7.9	12.5	MHz
	10.6	15.7	25.0	MHz
	21.3	31.4	50.0	MHz
	42.6	62.9	100.0	MHz



PS 配置时序

表 1-70: Arria V 器件的 PS 时序参数

符号	参数	最小值	最大值	单位
t_{CF2CD}	nCONFIG low to CONF_DONE low	—	600	ns
t_{CF2ST0}	nCONFIG low to nSTATUS low	—	600	ns
t_{CFG}	nCONFIG low pulse width	2	—	μ s
t_{STATUS}	nSTATUS low pulse width	268	1506 ⁽⁹⁹⁾	μ s
t_{CF2ST1}	nCONFIG high to nSTATUS high	—	1506 ⁽¹⁰⁰⁾	μ s
t_{CF2CK} ⁽¹⁰¹⁾	nCONFIG high to first rising edge on DCLK	1506	—	μ s
t_{ST2CK} ⁽¹⁰¹⁾	nSTATUS high to first rising edge of DCLK	2	—	μ s
t_{DSU}	DATA[] setup time before rising edge on DCLK	5.5	—	ns
t_{DH}	DATA[] hold time after rising edge on DCLK	0	—	ns
t_{CH}	DCLK high time	$0.45 \times 1/f_{MAX}$	—	s
t_{CL}	DCLK low time	$0.45 \times 1/f_{MAX}$	—	s
t_{CLK}	DCLK period	$1/f_{MAX}$	—	s
f_{MAX}	DCLK frequency	—	125	MHz
t_{CD2UM}	CONF_DONE high to user mode ⁽¹⁰²⁾	175	437	μ s
t_{CD2CU}	CONF_DONE high to CLKUSR enabled	4 × 最大化 DCLK 周期	—	—
t_{CD2UMC}	CONF_DONE high to user mode with CLKUSR option on	$t_{CD2CU} + (T_{init} \times \text{CLKUSR 周期})$	—	—

⁽⁹⁹⁾ 如果不通过扩展 nCONFIG 或 nSTATUS 低脉冲宽度来延迟配置，那么可以使用此值。

⁽¹⁰⁰⁾ 如果不通过从外部保持 nSTATUS 低电平来延迟配置，那么可以使用此值。

⁽¹⁰¹⁾ 如果 nSTATUS 被监控，那么遵循 t_{ST2CK} 规范。如果 nSTATUS 没被监控，那么遵循 t_{CF2CK} 规范。

⁽¹⁰²⁾ 最小和最大数量仅在您选择内部振荡器作为初始化器件的时钟源时适用。

符号	参数	最小值	最大值	单位
T _{init}	Number of clock cycles required for device initialization	17,408	—	周期

相关链接
[PS 配置时序](#)
提供了 PS 配置时序波形。

初始化

表 1-71: Arria V 器件的初始化时钟源选项和最大频率

初始化时钟源	配置方案	最大频率 (MHz)	最小时钟周期数
内部振荡器	AS, PS 和 FPP	12.5	T _{init}
CLKUSR ⁽¹⁰³⁾	AS, PS 和 FPP	125	
	AS	100	
DCLK	PS 和 FPP	125	

配置文件

表 1-72: Arria V 器件的未压缩.rbf 大小

设计编译前使用此表对文件大小进行评估。不同配置文件格式的文件大小也不同，例如：十六进制文件(.hex)或表格文本文件(.ttf)格式。

关于不同类型的配置文件和文件大小，请参考 Quartus II 软件。然而，对于特定版本的 Quartus II 软件，针对同一器件的任何设计都有相同的未压缩配置文件大小。

IOCSR 原始二进制文件(.rbf)大小专门用于 Configuration via Protocol (CvP)特性。

⁽¹⁰³⁾ 要能使 CLKUSR 作为初始化时钟源，需要在 Quartus II 软件中的 **Device and Pin Options** 对话框的 **General** 中开启 **Enable user-supplied start-up clock (CLKUSR)**选项。

器件系列	成员代码	配置.rbf 文件大小(比特)	IOCSR .rbf 文件大小(比特)
Arria V GX	A1	71,015,552	439,960
	A3	71,015,552	439,960
	A5	101,740,640	446,360
	A7	101,740,640	446,360
	B1	137,784,928	457,368
	B3	137,784,928	457,368
	B5	185,915,648	463,128
	B7	185,915,648	463,128
Arria V GT	C3	71,015,552	439,960
	C7	101,740,640	446,360
	D3	137,784,928	457,368
	D7	185,915,648	463,128
Arria V SX	B3	185,903,520	450,968
	B5	185,903,520	450,968
Arria V ST	D3	185,903,520	450,968
	D5	185,903,520	450,968

最短配置时间评估

表 1-73: Arria V 器件的最短配置时间评估

估计的值基于 Arria V 器件的未压缩.rbf 大小表中未压缩的配置.rbf 大小。

器件系列	成员代码	主动串行 ⁽¹⁰⁴⁾			快速被动并行 ⁽¹⁰⁵⁾		
		宽度	DCLK (MHz)	最短配置时间(ms)	宽度	DCLK (MHz)	最短配置时间(ms)
Arria V GX	A1	4	100	178	16	125	36
	A3	4	100	178	16	125	36
	A5	4	100	255	16	125	51
	A7	4	100	255	16	125	51
	B1	4	100	344	16	125	69
	B3	4	100	344	16	125	69
	B5	4	100	465	16	125	93
	B7	4	100	465	16	125	93
Arria V GT	C3	4	100	178	16	125	36
	C7	4	100	255	16	125	51
	D3	4	100	344	16	125	69
	D7	4	100	465	16	125	93
Arria V SX	B3	4	100	465	16	125	93
	B5	4	100	465	16	125	93
Arria V ST	D3	4	100	465	16	125	93
	D5	4	100	465	16	125	93

相关链接

[配置文件](#) (第 1-81 页)⁽¹⁰⁴⁾ 使用外部 CLKUSR 的 100 MHz 的 DCLK 频率。⁽¹⁰⁵⁾ 最大 FPGA FPP 带宽可能会超过某些外部存储器或控制逻辑的带宽。

远程系统更新

表 1-74: Arria V 器件的远程系统更新电路时序规范

参数	最小值	单位
$t_{RU_nCONFIG}^{(106)}$	250	ns
$t_{RU_nRSTIMER}^{(107)}$	250	ns

相关链接

- [远程系统更新状态机](#)
提供了关于配置复位(RU_CONFIG)信号的详细信息。
- [用户看门狗定时器](#)
提供了关于 reset_timer (RU_nRSTIMER)信号的详细信息。

用户看门狗内部振荡器频率规范

表 1-75: Arria V 器件的用户看门狗内部振荡器频率规范

参数	最小值	典型值	最大值	单位
User watchdog internal oscillator frequency	5.3	7.9	12.5	MHz

I/O 时序

Altera 提供两种方法来确定 I/O 时序—基于 Excel 的 I/O 时序和 Quartus II 时序分析器。

基于 Excel 的 I/O 时序提供对每种器件密度和速度等级提供管脚时序性能。数据通常用于设计 FPGA 之前，以获得时序预算的评估，此评估作为链路时序分析的一部分。

⁽¹⁰⁶⁾ 这等同于将 ALTREMOTE_UPDATE IP core 的重配置输入选通为最小时序规范的高电平。

⁽¹⁰⁷⁾ 这等同于将 ALTREMOTE_UPDATE IP core 的复位计时器输入选通为最小时序规范的高电平。

在完成布局布线后，Quartus II 时序分析器根据设计特征提供一个更精准的 I/O 时序数据。

相关链接

[Arria V I/O 时序电子表格](#)

提供了 Arria V 基于 Excel 的 I/O 时序电子表格。

可编程的 IOE 延时

表 1-76: Arria V 器件的 I/O 单元(IOE)可编程延迟

参数 ⁽¹⁰⁸⁾	可用设置	最小偏移 ⁽¹⁰⁹⁾	快速模型		慢速模型					单位
			工业	商业	- C4	- C5	- C6	- I3	- I5	
D1	32	0	0.508	0.517	0.870	1.063	1.063	0.872	1.057	ns
D3	8	0	1.763	1.795	2.999	3.496	3.571	3.031	3.643	ns
D4	32	0	0.508	0.518	0.869	1.063	1.063	1.063	1.057	ns
D5	32	0	0.508	0.517	0.870	1.063	1.063	0.872	1.057	ns

可编程输出缓存延迟

表 1-77: Arria V 器件的可编程输出缓存延迟

此表列出了延迟链设置，用于控制输出缓存的上升沿和下降沿延迟。

您可以在 Quartus II 软件中设置可编程输出缓存延迟，将 **Output Buffer Delay Control** 约束设置成 positive, negative 或 both edges，并将 **Output Buffer Delay** 约束设置成下表中显示的具体值(ps)。

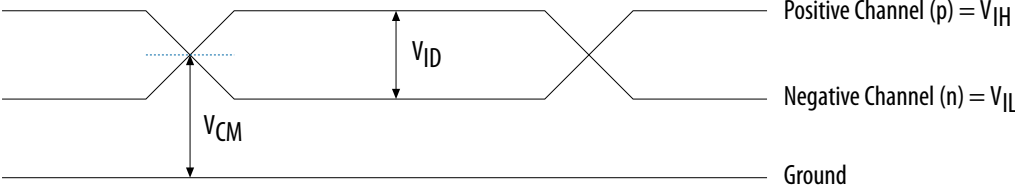
⁽¹⁰⁸⁾ 您可以在 Quartus II 软件中设置此值，在 **Assignment Editor** 的 **Assignment Name** 列中选择 **D1**，**D3**，**D4** 和 **D5**。

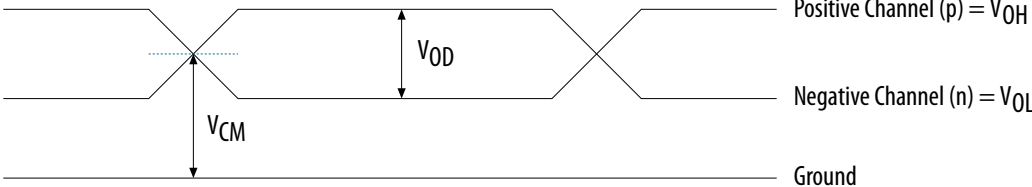
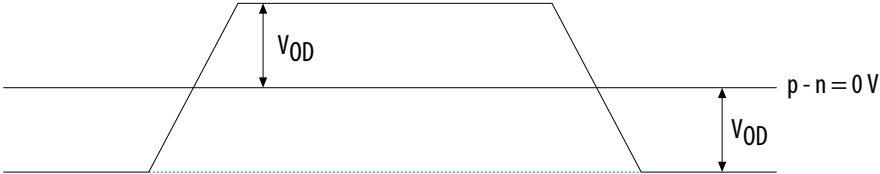
⁽¹⁰⁹⁾ 最小偏移不包括固有延迟。

符号	参数	典型值	单位
D _{OUTBUF}	Rising and/or falling edge delay	0 (默认)	ps
		50	ps
		100	ps
		150	ps

术语

表 1-78: 术语

术语	定义
差分 I/O 标准	接收器输入波形 Single-Ended Waveform  Differential Waveform 

术语	定义
	发送器输出波形 Single-Ended Waveform  Positive Channel (p) = V_{OH} Negative Channel (n) = V_{OL} Ground Differential Waveform  $p - n = 0V$
f_{HCLK}	左/右侧 PLL 输入时钟频率。
f_{HSDR}	高速 I/O 模块—最大/最小 LVDS 数据传输率($f_{HSDR} = 1/TUI$), non-DPA。
$f_{HSDRDPA}$	高速 I/O 模块—最大/最小 LVDS 数据传输率($f_{HSDRDPA} = 1/TUI$), DPA。
J	高速 I/O 模块—解串因子(并行数据总线的宽度)。

术语	定义
JTAG 时序规范	JTAG 时序规范 The diagram illustrates the timing requirements for JTAG signals. It shows four signals: TMS, TDI, TCK, and TDO. TMS and TDI are shown as high signals during specific intervals. TCK is a clock signal. TDO is shown as a high signal during specific intervals. The timing parameters are defined as follows: t_{JCP}: Time from TMS rising edge to TDI rising edge. t_{JCH}: Time from TMS rising edge to TCK rising edge. t_{JCL}: Time from TMS falling edge to TCK falling edge. t_{JPSU}: Time from TCK rising edge to TDO rising edge. t_{JPH}: Time from TCK falling edge to TDO falling edge. t_{JPZX}: Time from TCK rising edge to TDO rising edge. t_{JPCO}: Time from TCK falling edge to TDO falling edge. t_{JPXZ}: Time from TCK rising edge to TDO rising edge.

术语	定义
PLL 规范	PLL 规范图 The diagram illustrates the PLL architecture. It starts with a 'CLK' input (divided by 4) and a 'Core Clock' input. These feed into a 'Switchover' block. The output of the switchover is f_{IN}, which passes through a divider 'N' to become f_{INPFD}. This signal enters the 'PFD' (Phase-Frequency Detector) block. The output of the PFD goes to the 'CP' (Charge Pump) block, then the 'LF' (Loop Filter) block, and finally the 'VCO' (Voltage-Controlled Oscillator) block. The VCO output is f_{VCO}. A feedback path from f_{VCO} goes through a divider and a 'Delta Sigma Modulator' back to the PFD. The output of the VCO also goes through a divider and 'Counters CO..C17' to produce f_{OUT}. This output is available at 'CLKOUT Pins' as f_{OUT_EXT} and also goes through a divider to produce 'GCLK'. Another output from the counters is 'RCLK'. A legend indicates that blue-shaded blocks (CP, LF, VCO, Counters CO..C17) are 'Reconfigurable in User Mode'. A note mentions 'External Feedback'. 注释： (1)内核时钟只能由专用时钟输入管脚或PLL输出驱动。
R_L	接收器差分输入分立电阻（在 Arria V 器件外部）。
采样窗口（SW）	时序图—数据必须是有效的并被正确采集所用时间。建立和保持时间决定了采样窗口中理想的选通位置，如下所示： The timing diagram shows a 'Bit Time' interval. Within this interval, there are five segments: '0.5 x TCCS', 'RSKM', 'Sampling Window (SW)', 'RSKM', and '0.5 x TCCS'. The 'Sampling Window (SW)' is the central portion where data is valid for sampling.

术语	定义
单端电压参考 I/O 标准	SSTL 和 HSTL I/O 的 JEDEC 标准定义了 AC 以及 DC 输入信号值。AC 值表明接收器必须满足其时序规范所处于的电压电平。DC 值表明接收器的最终逻辑状态被明确定义时所处于的电压电。接收器输入通过 AC 值后，该接收器变到新的逻辑状态。 只要输入超出 DC 阈值，新的逻辑状态就一直保持。这种方法旨在出现输入波形振铃时提供可预测的接收器时序。 单端电压参考 I/O 标准
t_C	高速接收器/发送器输入和输出时钟周期。
TCCS (通道至通道偏移)	由同一 PLL 驱动通道中最快的和最慢的输出边缘之间的时序差异，包括 t_{CO} 类别和时钟偏移。时钟包含在 TCCS 测量中(请参考此表中 SW 下的时序图)。
t_{DUTY}	高速 I/O 模块—高速发送器输出时钟的占空比。

术语	定义
t_{FALL}	信号从高电平到低电平的跳变时间（80-20%）。
t_{INCCJ}	PLL 时钟输入上的周期到周期抖动容限。
$t_{\text{OUTPJ_IO}}$	由 PLL 驱动的 GPIO 上的周期抖动。
$t_{\text{OUTPJ_DC}}$	由 PLL 驱动的专用时钟输出上的周期抖动。
t_{RISE}	信号从低电平到高电平的跳变时间（80-20%）
时间单元间隔（TUI）	所支持的偏移，传播延迟和数据时采样窗口的时序预算。 $(UI = 1/(\text{收器输入时钟倍频因子}) = t_c/w)$ 。
$V_{\text{CM(DC)}}$	DC 共模输入电压。
V_{ICM}	输入共模电压—接收器上差分信号的共同模式。
V_{ID}	输入差分电压摆幅—接收器上一个差分传输的正导体与补导体之间的电压差。
$V_{\text{DIF(AC)}}$	AC 差分输入电压—切换所需要的最小 AC 输入差分电压。
$V_{\text{DIF(DC)}}$	DC 差分输入电压—切换所需要的最小 DC 输入差分电压。
V_{IH}	电压输入高一应用到输入上的最小正电压，器件接收此输入作为逻辑高。
$V_{\text{IH(AC)}}$	高电平 AC 输入电压
$V_{\text{IH(DC)}}$	高电平 DC 输入电压
V_{IL}	电压输入低—应用到输入上的最大正电压，器件接收此输入作为逻辑低。
$V_{\text{IL(AC)}}$	低电平 AC 输入电压。
$V_{\text{IL(DC)}}$	低电平 DC 输入电压。
V_{OCM}	输出共模电压—发送器上的差分信号的共同模式。
V_{OD}	输入差分电压摆幅—发送器上一个差分传输的正导体与补导体之间的电压差。
V_{SWING}	差分输入电压
V_{X}	输入差分交叉点电压
V_{OX}	输出差分交叉点电压

术语	定义
W	高速 I/O 模块—时钟增强因子

文档修订历史

日期	版本	修订内容
2015 年 6 月	2015.06.16	- 对 Arria V 器件的高速 I/O 规范中的 LVDS 输出缓存类型表中的以下输出类型添加了数据速率： - 真 RSDS 输出标准：高达 360 Mbps 的数据速率 - 真 mini-LVDS 输出标准：高达 400 Mbps 的数据速率 - 在 Transmitter—Emulated Differential I/O Standards f_{HSDR} data rate parameter in the High-Speed I/O Specifications for Arria V Devices 表中增添了条件注释。注释：当真 LVDS RX 通道用于仿真 LVDS TX 通道时，仅支持串化因子 1 和 2。 - 将 Queued Serial Peripheral Interface (QSPI)修改成 Quad Serial Peripheral Interface (SPI) Flash。 - 更新了 I²C 时序图中的 T_h 位置。 - 更新了 NAND Address Latch Timing Diagram 中的 T_{wp} 位置。 - 将 FPP Timing Parameters When DCLK-to-DATA[] Ratio is >1 for Arria V Devices 表中的 t_{DH} 单位从 ns 改成 s。 - 将 AS Timing Parameters for AS $\times 1$ and $\times 4$ Configurations in Arria V Devices 表中的 t_{CO} 的最大值从 4 ns 改成 2 ns。 - 将下面的时序图移到了“Arria V 器件中配置，设计安全和远程系统更新”章节。 - DCLK-to-DATA[] Ratio >1 时的 FPP 时序波形 - DCLK-to-DATA[] Ratio >1 时的 FPP 配置时序波形 - AS 配置时序波形 - PS 配置时序波形

日期	版本	修订内容
2015 年 1 月	2015.01.30	- 将下表中的 $V_{CC_AUX_SHARED}$ 的描述更新成 “HPS auxiliary power supply” : - Absolute Maximum Ratings for Arria V Devices - HPS Power Supply Operating Conditions for Arria V SX and ST Devices - 在 I/O 标准规范中添加了一个声明：您必须执行时序收敛分析来决定通用 I/O 标准的可达到的最大频率。 - 更新了收发器参考时钟上升时间和下降时间：在 ± 60 mV 差分信号上测量。对下面条件添加了注释：REFCLK 性能要求满足发送器 REFCLK 相位噪声规范。 - 更新了” 外设性能规范 “中的描述，提及在设计中要求正确的时序收敛。 - 更新了 HPS 时钟性能 main_base_clk 规范，从 525 MHz (- I3 速度等级)和 462 MHz (- C4 速度等级)更新成 400 MHz。 - 将 HPS PLL VCO 最大频率更新成 1,600 MHz (- C5, - I5 和 - C6 速度等级), 1,850 MHz (- C4 速度等级)和 2,100 MHz (- I3 速度等级)。 - 将 HPS PLL 输入抖动 divide value 从 NR 改成 R。 - 删除了下表中的 “Slave select pulse width (Texas Instruments SSP mode)” 参数： - SPI Master Timing Requirements for Arria V Devices - SPI Slave Timing Requirements for Arria V Devices - 对 USB Timing Characteristics section in HPS Specifications 添加了说明：由于时序问题，通过 USB 控制器，支持 LPM 模式的 PHY 可能不会正确运行。设计人员被建议使用 MicroChip USB3300 PHY 器件，此器件已被证明在开发板上是成功的。 - 增添了 HPS JTAG 时序规范。 - 更新了 FPGA JTAG 时序规范注释：每个从 3.0 V 的 V_{CCIO} 压降都需要一个 1-ns 加法器。例如，如果 TDO I/O bank 的 $V_{CCIO} = 2.5$ V，那么 $t_{PCO} = 13$ ns，或者如果等于 1.8 V，那么就是 14 ns。 - 更新了 Transceiver Specifications for Arria V GT and ST Devices 表中 V_{ICM} (AC Coupled) 和注释 6 中的值从 650 mV 到 750 mV。

日期	版本	修订内容
2014 年 7 月	3.8	- 在表 3、表 4 和表 5 中添加了注释：最小值此电源值描述了 DC（静态）电源容限的预算，不包括动态容限要求。关于动态容限要求的额外预算，请参考 PDN 工具。 - 更新了表 5 中的 V_{CC_HPS} 规范。 - 在表 19 中添加了一个注释：差分输入由需要 2.5 V 的 V_{CCPD} 供电。 - 更新了表 20 和表 21 中的"Minimum differential eye opening at the receiver serial input pins"。 - 更新了“HPS PLL Specifications”部分中的描述。 - 更新了表 39 中的 VCO 范围最大规范。 - 更新了表 45 中的 T_d 和 T_h 规范。 - 在表 47 和图 13 中的增添了 T_h 规范。 - 更新了图 20、图 21 和图 23 中的注释：配置后不要让 DCLK 悬空。配置完成后 DCLK 被忽略。它可以按需要翻转成高电平或低电平。 - 删除了表 58 中的“Remote update only in AS mode”规范。 - 在表 60 中添加了 DCLK 器件初始化时钟源规范。 - 在“配置文件”部分添加了描述：IOCSR .rbf 文件大小(比特)IOCSR .rbf 文件大小专门用于 Configuration via Protocol (CvP)特性。 - 删除了表 63 中的 $f_{MAX_RU_CLK}$ 规范。
2014 年 2 月	3.7	- 更新了表 1 中的 $V_{CCRSTCLK_HPS}$ 最大规范。 - 在表 1 中添加了 $V_{CC_AUX_SHARED}$ 规范。
2013 年 12 月	3.6	- 添加了“HPS PLL 规范”。 - 增添了表 24、表 39 和表 40。 - 更新了表 1，表 3，表 5，表 19，表 20，表 21，表 38，表 41，表 42，表 45，表 46，表 47，表 56 和表 59。 - 更新了图 7、图 13、图 15、图 16 和图 19。 - 删除了表：GPIO Pulse Width for Arria V Devices。

日期	版本	修订内容
2013 年 8 月	3.5	- 删除了表 29 中的“Pending silicon characterization”注释。 - 更新了表 25。
2013 年 8 月	3.4	- 删除了表 1, 表 2, 表 3, 表 4, 表 5, 表 6, 表 7, 表 9, 表 12, 表 13, 表 14, 表 15, 表 16, 表 17, 表 18, 表 19, 表 20, 表 21, 表 22, 表 23, 表 24, 表 25, 表 26, 表 27, 表 28, 表 29, 表 30, 表 31, 表 35, 表 36, 表 51, 表 53, 表 54, 表 55, 表 56, 表 57, 表 60, 表 62 和表 64 的”初步“标示。 - 更新了表 1、表 3、表 11、表 19、表 20、表 21、表 22、表 25 和表 29。
2013 年 6 月	3.3	更新了表 20、表 21、表 25 和表 38。
2013 年 5 月	3.2	- 更新了表 37。 - 更新了图 8、图 9、图 20、图 22 和图 23。 - 更新了表 1, 表 3, 表 13, 表 19, 表 20, 表 21, 表 23, 表 29, 表 39, 表 40, 表 46, 表 57, 表 60 和表 64。 - 更新了” PLL 规范“部分中的 - I3 速度等级的工业结温范围。
2013 年 3 月	3.1	- 在“HPS 规范”部分中添加了 HPS 复位信息。 - 增添了表 60。 - 更新了表 1, 表 3, 表 17, 表 20, 表 24, 表 29 和表 59。 - 更新了图 21。

日期	版本	修订内容
2012 年 11 月	3.0	- 更新了表 2, 表 3, 表 9, 表 14, 表 16, 表 17, 表 20, 表 21, 表 25, 表 29, 表 36, 表 56, 表 57 和表 60。 - 删除了表: Transceiver Block Jitter Specifications for Arria V Devices. - 添加了 HPS 信息: - 添加了“HPS Specifications”部分。 - 增添了表 38, 表 39, 表 40, 表 41, 表 42, 表 43, 表 44, 表 45, 表 46, 表 47, 表 48, 表 49 和表 50。 - 增添了图 7, 图 8, 图 9, 图 10, 图 11, 图 12, 图 13, 图 14, 图 15, 图 16, 图 17, 图 18 和图 19 - 更新了表 3 和表 5。
2012 年 10 月	2.4	- 更新了表 4 中的 Arria V GX $V_{CCR_GXBL/R}$, $V_{CCT_GXBL/R}$ 和 $V_{CCL_GXBL/R}$ 最小值, 最大值和数据速率。 - 在表 20 和表 21 中添加了接收器 V_{ICM} (AC coupled)和 V_{ICM} (DC coupled)值, 发送器 V_{OCM} (AC coupled)和 V_{OCM} (DC coupled)值。
2012 年 8 月	2.3	更新了表 30 中的 SERDES 因子条件。
2012 年 7 月	2.2	- 更新了表 1 中的 V_I (DC input voltage)的最大电压。 - 更新了表 20, 包含了 Arria V GX -I3 速度等级。 - 更新了表 20 和表 21 中的 fixedclk 时钟频率的最小值。 - 更新了表 30 中的 SERDES 因子条件。 - 更新了表 50, 包含了 IOE programmable delay settings for the Arria V GX -I3 speed grade。
2012 年 6 月	2.1	更新了表 4 中的 $V_{CCR_GXBL/R}$, $V_{CCT_GXBL/R}$ 和 $V_{CCL_GXBL/R}$ 值。

日期	版本	修订内容
2012 年 6 月	2.0	• 针对 Quartus II 12.0 的发布进行的更新： • 重新设计了文档结构。 • 更新了“供电电流和功耗”部分。 • 更新了表 20、表 21、表 24、表 25、表 26、表 35、表 39、表 43 和表 52。 • 增添了表 22、表 23 和表 33。 • 添加了图 1-1 和图 1-2。 • 增添了“初始化”和“配置文件”部分。
2012 年 2 月	1.3	• 更新了表 2-1。 • 更新了表 2-20 中的 Transceiver-FPGA Fabric Interface 行。 • 更新了 V_{CCP} 描述。
2011 年 12 月	1.2	更新了表 2-1 和表 2-3。
2011 年 11 月	1.1	• 更新了表 2-1、表 2-19、表 2-26 和表 2-36。 • 添加了表 2-5。 • 添加了图 2-4。
2011 年 8 月	1.0	首次发布。

2015.06.16

AV-51002



本文档涵盖了 Arria V GZ 器件的电气及开关特性。电气特性包括操作条件和功耗。开关特性包括收发器规范，内核和外设性能。本文档也描述了 I/O 时序，包括可编程 I/O 单元 (IOE) 延迟和可编程输出缓存延迟。

相关链接

[Arria V 器件概述](#)

提供了关于 Arria V GZ 系列中器件的密度和封装的信息。

电气特性

操作条件

使用 Arria V GZ 器件时，根据一组定义的参数对其进行分级。要保持 Arria V GZ 器件的可能最高性能及可靠性，您必须考虑本数据表所述的操作要求。

Arria V GZ 器件提供于商业和工业温度等级中。

商业器件提供于 - 3 (最快)和 - 4 内核速度等级中。工业器件提供于 - 3L 和 - 4 内核速度等级中。Arria V GZ 器件提供于 - 2 和 - 3 收发器速度等级中。

Intel Corporation. All rights reserved. Intel, the Intel logo, Altera, Arria, Cyclone, Enpirion, MAX, Nios, Quartus and Stratix words and logos are trademarks of Intel Corporation or its subsidiaries in the U.S. and/or other countries. Intel warrants performance of its FPGA and semiconductor products to current specifications in accordance with Intel's standard warranty, but reserves the right to make changes to any products and services at any time without notice. Intel assumes no responsibility or liability arising out of the application or use of any information, product, or service described herein except as expressly agreed to in writing by Intel. Intel customers are advised to obtain the latest version of device specifications before relying on any published information and before placing orders for products or services.

*Other names and brands may be claimed as the property of others.

ISO
9001:2008
Registered

ALTERA
now part of Intel

表 2-1: Arria V GZ 器件的商业和工业速度等级

C = 商业温度等级；I = 工业温度等级。

较小编号代表较快速度等级。

L = 低功耗器件。

收发器速度等级	内核速度等级			
	C3	C4	I3L	I4
2	Yes	—	Yes	—
3	—	Yes	—	Yes

绝对最大额定值

绝对最大额定值定义了 Arria V GZ 器件的最大操作条件。这些值是基于器件和击穿损伤机理的理论模型的实验得到的。这些条件不适用于器件的功能操作。

警告： 下表中未列出的条件可能会对器件造成永久性损坏。此外，如果最大额定值上的器件操作在延长的时间周期，那么可能会对器件造成不良的影响。

表 2-2: Arria V GZ 器件的绝对最大额定值

符号	说明	最小	最大	单位
V _{CC}	内核电压和外设电路的电源	-0.5	1.35	V
V _{CCPT}	可编程功耗技术的电源	-0.5	1.8	V
V _{CCPGM}	配置管脚的电源	-0.5	3.9	V
V _{CC_AUX}	可编程的功耗技术的辅助电源	-0.5	3.4	V
V _{CCBAT}	设计安全易失性密钥寄存器的电池后备电源 ☑	-0.5	3.9	V
V _{CCPD}	I/O 预驱动器电源	-0.5	3.9	V

符号	说明	最小	最大	单位
V _{CCIO}	I/O 电源	- 0.5	3.9	V
V _{CCD_FPLL}	PLL 数字电源	- 0.5	1.8	V
V _{CCA_FPLL}	PLL 模拟电源	- 0.5	3.4	V
V _I	DC 输入电压	- 0.5	3.8	V
T _J	操作结温	- 55	125	°C
T _{STG}	储存温度 (无偏差)	- 65	150	°C
I _{OUT}	每个管脚的 DC 输出电流	- 25	40	mA

表 2-3: Arria V GZ 器件的收发器电源绝对条件

符号	说明	最小	最大	单位
V _{CCA_GXBL}	收发器通道 PLL 电源(左侧)	- 0.5	3.75	V
V _{CCA_GXBR}	收发器通道 PLL 电源(右侧)	- 0.5	3.75	V
V _{CCHIP_L}	收发器硬核 IP 电源(左侧)	- 0.5	1.35	V
V _{CCHSSL_L}	收发器 PCS 电源(左侧)	- 0.5	1.35	V
V _{CCHSSL_R}	收发器 PCS 电源(右侧)	- 0.5	1.35	V
V _{CCR_GXBL}	接收器模拟电源(左侧)	- 0.5	1.35	V
V _{CCR_GXBR}	接收器模拟电源(右侧)	- 0.5	1.35	V
V _{CCT_GXBL}	发送器模拟电源(左侧)	- 0.5	1.35	V
V _{CCT_GXBR}	发送器模拟电源(右侧)	- 0.5	1.35	V
V _{CCH_GXBL}	发送器输出缓冲器电源(左侧)	- 0.5	1.8	V
V _{CCH_GXBR}	发送器输出缓冲器电源(右侧)	- 0.5	1.8	V

所允许的最大过冲和下冲电压

跳变期间，输入信号可能过冲到下表中显示的电压，对于小于 100 mA 的输入电流和短于 20 ns 的周期，它们可能下冲至 -2.0 V。

所允许的最大过冲持续时间指定为器件生命周期中高时间的百分比。DC 信号等同于 100% 占空比。

例如，一个过冲到 3.95 V 的信号只能在 3.95 V 上保持器件生命周期的~21%；对于一个 10 年的器件生命周期，过冲时间总共为~2 年。

表 2-4: Arria V GZ 器件的跳变期间的最大允许过冲

符号	说明	条件(V)	过冲持续时间(表示为%，在 $T_J = 100^\circ\text{C}$ 时)	单位
Vi (AC)	AC 输入电压	3.8	100	%
		3.85	64	%
		3.9	36	%
		3.95	21	%
		4	12	%
		4.05	7	%
		4.1	4	%
		4.15	2	%
		4.2	1	%

建议的操作条件

表 2-5: Arria V GZ 器件的建议操作条件

电源坡道必须都是单调的，不能有平缓处。

符号	说明	条件	最小 ⁽¹¹⁰⁾	典型	最大 ⁽¹¹⁰⁾	单位
V _{CC}	内核电压和外设电路电源 ⁽¹¹¹⁾	—	0.82	0.85	0.88	V

⁽¹¹⁰⁾ 此电源值描述了 DC（静态）电源容限的预算，不包括动态容限要求。关于动态容限要求的额外预算，请参考 PDN 工具。

符号	说明	条件	最小 ⁽¹¹⁰⁾	典型	最大 ⁽¹¹⁰⁾	单位
V _{CCPT}	可编程功耗技术的电源	—	1.45	1.50	1.55	V
V _{CC_AUX}	可编程的功耗技术的辅助电源	—	2.375	2.5	2.625	V
V _{CCPD} ⁽¹¹²⁾	I/O 预驱动器 (3.0 V) 电源	—	2.85	3.0	3.15	V
	I/O 预驱动器 (2.5 V) 电源	—	2.375	2.5	2.625	V
V _{CCIO}	I/O 缓冲器 (3.0 V) 电源	—	2.85	3.0	3.15	V
	I/O 缓冲器 (2.5 V) 电源	—	2.375	2.5	2.625	V
	I/O 缓冲器 (1.8 V) 电源	—	1.71	1.8	1.89	V
	I/O 缓冲器 (1.5 V) 电源	—	1.425	1.5	1.575	V
	I/O 缓冲器 (1.35 V) 电源	—	1.283	1.35	1.45	V
	I/O 缓冲器 (1.25 V) 电源	—	1.19	1.25	1.31	V
	I/O 缓冲器 (1.2 V) 电源	—	1.14	1.2	1.26	V
V _{CCPGM}	配置管脚 (3.0 V) 电源	—	2.85	3.0	3.15	V
	配置管脚 (2.5 V) 电源	—	2.375	2.5	2.625	V
	配置管脚 (1.8 V) 电源	—	1.71	1.8	1.89	V
V _{CCA_FPLL}	PLL 模拟电压调节器电源	—	2.375	2.5	2.625	V
V _{CCD_FPLL}	PLL 数字电压调节器电源	—	1.45	1.5	1.55	V
V _{CCBAT} ⁽¹¹³⁾	电池后备电源 (用于设计安全易失性密钥寄存器) ☒	—	1.2	—	3.0	V

⁽¹¹⁰⁾ 此电源值描述了 DC (静态) 电源容限的预算, 不包括动态容限要求。关于动态容限要求的额外预算, 请参考 PDN 工具。

⁽¹¹¹⁾ 如果使用部分重配置(PR)功能, 那么 V_{CC} 内核电源必须设成 0.9 V。

⁽¹¹²⁾ 当 V_{CCIO} 是 2.5, 1.8, 1.5, 1.35, 1.25 或 1.2 V 时, V_{CCPD} 必须是 2.5 V。当 V_{CCIO} 是 3.0 V 时, V_{CCPD} 必须是 3.0 V。

符号	说明	条件	最小 ⁽¹¹⁰⁾	典型	最大 ⁽¹¹⁰⁾	单位
V _I	DC 输入电压	—	− 0.5	—	3.6	V
V _O	输出电压	—	0	—	V _{CCIO}	V
T _J	操作结温	商业	0	—	85	°C
		工业	−40	—	100	°C
t _{RAMP}	电源斜坡时间	标准 POR	200 μs	—	100 ms	—
		快速 POR	200 μs	—	4 ms	—

建议的收发器电源操作条件

表 2-6: Arria V GZ 器件的建议收发器电源操作条件

符号	说明	最小 ⁽¹¹⁴⁾	典型	最大 ⁽¹¹⁴⁾	单位
V _{CCA_GXBL} (115), (116)	收发器通道 PLL 电源(左侧)	2.85	3.0	3.15	V
		2.375	2.5	2.625	
V _{CCA_GXBR} (115), (116)	收发器通道 PLL 电源(右侧)	2.85	3.0	3.15	V
		2.375	2.5	2.625	
V _{CCHIP_L}	收发器硬核 IP 电源(左侧)	0.82	0.85	0.88	V
V _{CCHSSL_L}	收发器 PCS 电源(左侧)	0.82	0.85	0.88	V

⁽¹¹⁰⁾ 此电源值描述了 DC（静态）电源容限的预算，不包括动态容限要求。关于动态容限要求的额外预算，请参考 PDN 工具。

⁽¹¹³⁾ 如果不使用 Arria V GZ 器件中的设计安全特性，那么将 V_{CCBAT} 连接到 1.2-V 或 3.0-V 电源。Arria V GZ 上电复位(POR)电路监控 V_{CCBAT}。如果 V_{CCBAT} 没有上电，那么 Arria V GZ 器件不会退出 POR。

⁽¹¹⁴⁾ 此值描述了 DC（静态）电源容限的预算，不包括动态容限要求。关于动态容限要求的额外预算，请参考 PDN 工具。

⁽¹¹⁵⁾ 如果 CMU PLL，接收器 CDR 或者两者都在基本数据速率 > 6.5 Gbps 下配置，那么此电源必须连接到 3.0 V。基本数据速率不超过 6.5 Gbps 时，此电源可以连接到 3.0 V 或 2.5 V。

⁽¹¹⁶⁾ 使用 ATX PLL 时，电源必须是 3.0 V。

符号	说明	最小 ⁽¹¹⁴⁾	典型	最大 ⁽¹¹⁴⁾	单位
V _{CCHSSL_R}	收发器 PCS 电源(右侧)	0.82	0.85	0.88	V
V _{CCR_GXBL} ⁽¹¹⁷⁾	接收器模拟电源(左侧)	0.82	0.85	0.88	V
		0.97	1.0	1.03	
		1.03	1.05	1.07	
V _{CCR_GXBR} ⁽¹¹⁷⁾	接收器模拟电源(右侧)	0.82	0.85	0.88	V
		0.97	1.0	1.03	
		1.03	1.05	1.07	
V _{CCT_GXBL} ⁽¹¹⁷⁾	发送器模拟电源(左侧)	0.82	0.85	0.88	V
		0.97	1.0	1.03	
		1.03	1.05	1.07	
V _{CCT_GXBR} ⁽¹¹⁷⁾	发送器模拟电源(右侧)	0.82	0.85	0.88	V
		0.97	1.0	1.03	
		1.03	1.05	1.07	
V _{CCH_GXBL}	发送器输出缓冲器电源(左侧)	1.425	1.5	1.575	V
V _{CCH_GXBR}	发送器输出缓冲器电源(右侧)	1.425	1.5	1.575	V

⁽¹¹⁴⁾ 此值描述了 DC (静态) 电源容限的预算, 不包括动态容限要求。关于动态容限要求的额外预算, 请参考 PDN 工具。

⁽¹¹⁷⁾ 如果收发器在数据速率 > 6.5 Gbps 下配置, 那么此电源必须连接到 1.0 V, 如果使用 DFE 在数据速率 > 10.3 Gbps 下配置, 那么必须连接到 1.05 V。对于不超过 6.5 Gbps 的数据速率, 此电源可以连接到 0.85 V。

收发器电源要求

表 2-7: Arria V GZ 器件的收发器电源电压要求

条件	VCCR_GXB 和 VCCT_GXB ⁽¹¹⁸⁾	VCCA_GXB	VCCH_GXB	单位
如果下面两个条件都为真： • 数据速率 > 10.3 Gbps。 • 使用 DFE。	1.05	3.0	1.5	V
如果下面任意条件为真 ⁽¹¹⁹⁾ ： • 使用 ATX PLL。 • 数据速率 > 6.5 Gbps。 • 使用 DFE (数据速率 ≤ 10.3 Gbps)，AEQ 或 EyeQ 功能。	1.0			
如果以下条件全部为真： • 未使用 ATX PLL。 • 数据速率 ≤ 6.5 Gbps。 • 未使用 DFE，AEQ 和 EyeQ。	0.85	2.5		

DC 特征

电源电流

待机电流是从用于电源预算的相应电源轨汲取的电流。

使用 Excel-based Early Power Estimator (EPE) 对你的设计进行电源电流的评估，因为根据您使用的不同资源，这些电流会有显著的不同。

⁽¹¹⁸⁾ 如果 VCCR_GXB 和 VCCT_GXB 电源设成 1.0 V 或 1.05 V，那么它们不能被 VCC 内核电源共享。如果 VCCR_GXB 和 VCCT_GXB 设成 0.85 V，那么它们能被 VCC 内核电源共享。

⁽¹¹⁹⁾ 如果您计划稍后使用所列出的条件升级您的设计，那么选择此电源电压要求选项。

相关链接

- [PowerPlay 早期功耗估算器用户指南](#)
提供关于 EPE 工具的更多信息。
- [PowerPlay 功耗分析](#)
提供关于 PowerPlay 功耗分析的更多信息。

功耗

Altera 提供两种方法对一个设计功耗进行评估—Excel-based Early Power Estimator 和 Quartus II PowerPlay Power Analyzer 特性。

注意: 通常在设计 FPGA 前使用 Excel-based Early Power Estimator 得到一个器件功耗的幅度评估。Quartus II PowerPlay Power Analyzer 在您完成布局布线后根据设计规格提供更高质量的评估。PowerPlay Power Analyzer 应用一个用户输入，源自仿真的和评估信号活动的组合，当与详细的电路模型相结合时，会实现一个非常精确的功耗评估。

相关链接

- [PowerPlay 早期功耗估算器用户指南](#)
提供关于 EPE 工具的更多信息。
- [PowerPlay 功耗分析](#)
提供关于 PowerPlay 功耗分析的更多信息。

I/O 管脚漏电流

表 2-8: Arria V GZ 器件的 I/O 管脚漏电流

如果 $V_O = V_{CCIO}$ to $V_{CCIO_{MAX}}$ ，那么每个 I/O 的漏电流应该是 $100 \mu A$ 。

符号	说明	条件	Min	Typ	Max	单位
I_I	输入管脚	$V_I = 0 V$ to $V_{CCIO_{MAX}}$	-30	—	30	μA
I_{OZ}	三态 I/O 管脚	$V_O = 0 V$ to $V_{CCIO_{MAX}}$	-30	—	30	μA

总线保持规格

表 2-9: Arria V GZ 器件的总线保持参数

参数	符号	条件	V _{CCIO}										单位
			1.2 V		1.5 V		1.8 V		2.5 V		3.0 V		
			Min	Max	Min	Max	Min	Max	Min	Max	Min	Max	
Low sustaining current	I _{SUSL}	V _{IN} > V _{IL} (maximum)	22.5	—	25.0	—	30.0	—	50.0	—	70.0	—	μA
High sustaining current	I _{SUSH}	V _{IN} < V _{IH} (minimum)	− 22.5	—	− 25.0	—	− 30.0	—	− 50.0	—	− 70.0	—	μA
Low overdrive current	I _{ODL}	0V < V _{IN} < V _{CCIO}	—	120	—	160	—	200	—	300	—	500	μA
High overdrive current	I _{ODH}	0V < V _{IN} < V _{CCIO}	—	− 120	—	− 160	—	− 200	—	− 300	—	− 500	μA
Bus-hold trip point	V _{TRIP}	—	0.45	0.95	0.50	1.00	0.68	1.07	0.70	1.70	0.80	2.00	V

片上匹配 (OCT) 规范

如果使能了 OCT 校准，那么上电时对连接到校准模块的 I/O 自动执行校准。

表 2-10: Arria V GZ 器件的 OCT 校准精度规范

OCT 校准精度只在校准时有效。

符号	说明	条件	校准精度		单位
			C3, I3L	C4, I4	
25- Ω R_S	带校准的内部串行匹配 (25- Ω 设置)	$V_{CCIO} = 3.0, 2.5, 1.8, 1.5, 1.2$ V	± 15	± 15	%
50- Ω R_S	带校准的内部串行匹配 (50- Ω 设置)	$V_{CCIO} = 3.0, 2.5, 1.8, 1.5, 1.2$ V	± 15	± 15	%
34- Ω 和 40- Ω R_S	带校准的内部串行匹配 (34- Ω 和 40- Ω 设置)	$V_{CCIO} = 1.5, 1.35, 1.25, 1.2$ V	± 15	± 15	%
48- Ω , 60- Ω , 80- Ω 和 240- Ω R_S	带校准的内部串行匹配 (48- Ω , 60- Ω , 80- Ω 和 240- Ω 设置)	$V_{CCIO} = 1.2$ V	± 15	± 15	%
50- Ω R_T	带校准的内部并行匹配 (50- Ω 设置)	$V_{CCIO} = 2.5, 1.8, 1.5, 1.2$ V	- 10 to +40	- 10 to +40	%
20- Ω , 30- Ω , 40- Ω , 60- Ω , and 120- Ω R_T	带校准的内部并行匹配 (20- Ω , 30- Ω , 40- Ω , 60- Ω 和 120- Ω 设置)	$V_{CCIO} = 1.5, 1.35, 1.25$ V	- 10 to +40	- 10 to +40	%
60- Ω 和 120- Ω R_T	带校准的内部并行匹配 (60- Ω 和 120- Ω 设置)	$V_{CCIO} = 1.2$	- 10 to +40	- 10 to +40	%
25- Ω $R_{S_left_shift}$	带校准的内部左移串行匹配 (25- Ω $R_{S_left_shift}$ 设置)	$V_{CCIO} = 3.0, 2.5, 1.8, 1.5, 1.2$ V	± 15	± 15	%

表 2-11: Arria V GZ 器件无校准的 OCT 阻值容差规范

符号	说明	条件	阻值容差		单位
			C3, I3L	C4, I4	
25- Ω R , 50- Ω R_S	无校准的内部串行匹配 (25- Ω 设置)	$V_{CCIO} = 3.0$ and 2.5 V	± 40	± 40	%
25- Ω R_S	无校准的内部串行匹配 (25- Ω 设置)	$V_{CCIO} = 1.8$ and 1.5 V	± 40	± 40	%
25- Ω R_S	无校准的内部串行匹配 (25- Ω 设置)	$V_{CCIO} = 1.2$ V	± 50	± 50	%
50- Ω R_S	无校准的内部串行匹配 (50- Ω 设置)	$V_{CCIO} = 1.8$ and 1.5 V	± 40	± 40	%

符号	说明	条件	阻值容差		单位
			C3, I3L	C4, I4	
50-Ω R _S	无校准的内部串行匹配 (50-Ω 设置)	V _{CCIO} = 1.2 V	±50	±50	%
100-Ω R _D	内部差分匹配 (100-Ω 设置)	V _{CCIO} = 2.5 V	±25	±25	%

图 2-1: Arria V GZ 器件的无重新校准的 OCT 变化

$$R_{\text{OCT}} = R_{\text{SCAL}} \left(1 + \left(\frac{dR}{dT} \times \Delta T \right) \pm \left(\frac{dR}{dV} \times \Delta V \right) \right)$$

注释:

1. R_{OCT} 值显示了随温度及 V_{CCIO} 变化的 OCT 阻值的范围。
2. R_{SCAL} 是上电时的 OCT 阻值。
3. ΔT 是相对于上电时温度的温度变化。
4. ΔV 是相对于上电时 V_{CCIO} 的电压变化。
5. dR/dT 是 R_{SCAL} 同温度的百分比变化。
6. dR/dV 是 R_{SCAL} 同电压的百分比变化。

表 2-12: Arria V GZ 器件的上电校准后的 OCT 变化

对±5%的 V_{CCIO} 范围和 0°到 85°C 的温度范围有效。

符号	说明	V _{CCIO} (V)	典型	单位
dR/dV	无重新校准带电压的 OCT 变化	3.0	0.0297	%/mV
		2.5	0.0344	
		1.8	0.0499	
		1.5	0.0744	
		1.2	0.1241	

符号	说明	V_{CCIO} (V)	典型	单位
dR/dT	无重新校准带温度的 OCT 变化	3.0	0.189	%/°C
		2.5	0.208	
		1.8	0.266	
		1.5	0.273	
		1.2	0.317	

管脚电容

表 2-13: Arria V GZ 器件的管脚电容

符号	说明	值	单位
C_{IOTB}	顶部和底部 I/O 管脚上的输入电容	6	pF
C_{IOLR}	左侧和右侧 I/O 管脚上的输入电容	6	pF
C_{OUTFB}	复用时钟输出和反馈管脚上的输入电容	6	pF

热插拔 (Hot Socketing)

表 2-14: Arria V GZ 器件的热插拔规范

符号	说明	最大值
I_{IOPIN} (DC)	每个 I/O 管脚上的 DC 电流	300 μ A
I_{IOPIN} (AC)	每个 I/O 管脚上的 AC 电流	8 mA ⁽¹²⁰⁾
$I_{XCVR-TX}$ (DC)	每个收发器发送器管脚上的 DC 电流	100 mA

⁽¹²⁰⁾ I/O 斜坡率(ramp rate)是 10 ns 或更多。对于快于 10 ns 的斜坡率, $|I_{IOPIN}| = C dv/dt$, 其中 C 是 I/O 管脚电容, dv/dt 是斜率(slew rate)。

符号	说明	最大值
$I_{XCVR-RX} (DC)$	每个收发器接收器管脚上的 DC 电流	50 mA

内部弱上拉电阻

表 2-15: Arria V GZ 器件的内部弱上拉电阻

除了配置、测试和 JTAG 管脚的所有其他 I/O 管脚都有一个使能弱上拉功能的选项。内部弱上拉功能仅应用于 JTAG TCK 管脚。此内部弱上拉电阻的典型值为近似 25 k Ω 。

符号	说明	V _{CCIO} 条件(V) ⁽¹²¹⁾	值 ⁽¹²²⁾	单位
R _{PU}	配置前和配置期间的 I/O 管脚上拉电阻的值，如果使能了可编程上拉电阻选项，那么也是用户模式下的 I/O 管脚上拉电阻的值。	3.0 $\pm$ 5%	25	k Ω
		2.5 $\pm$ 5%	25	k Ω
		1.8 $\pm$ 5%	25	k Ω
		1.5 $\pm$ 5%	25	k Ω
		1.35 $\pm$ 5%	25	k Ω
		1.25 $\pm$ 5%	25	k Ω
		1.2 $\pm$ 5%	25	k Ω

I/O 标准规范

V_{OL} 和 V_{OH} 值分别在 I_{OH} 和 I_{OL} 上有效。

⁽¹²¹⁾ 如果外部源驱动高于 V_{CCIO} 的管脚，那么管脚上拉电阻值可能会更低。

⁽¹²²⁾ 这些规范在 $\pm 10\%$ 的容差上是有效的，以符合 PVT 变化。

表 2-16: Arria V GZ 器件的单端 I/O 标准

I/O 标准	V_{CCIO} (V)			V_{IL} (V)		V_{IH} (V)		V_{OL} (V)	V_{OH} (V)	I_{OL} (mA)	I_{OH} (mA)
	Min	Typ	Max	Min	Max	Min	Max	Max	Min		
LVTTL	2.85	3	3.15	-0.3	0.8	1.7	3.6	0.4	2.4	2	-2
LVC MOS	2.85	3	3.15	-0.3	0.8	1.7	3.6	0.2	$V_{CCIO} - 0.2$	0.1	-0.1
2.5 V	2.375	2.5	2.625	-0.3	0.7	1.7	3.6	0.4	2	1	-1
1.8 V	1.71	1.8	1.89	-0.3	$0.35 \times V_{CCIO}$	$0.65 \times V_{CCIO}$	$V_{CCIO} + 0.3$	0.45	$V_{CCIO} - 0.45$	2	-2
1.5 V	1.425	1.5	1.575	-0.3	$0.35 \times V_{CCIO}$	$0.65 \times V_{CCIO}$	$V_{CCIO} + 0.3$	$0.25 \times V_{CCIO}$	$0.75 \times V_{CCIO}$	2	-2
1.2 V	1.14	1.2	1.26	-0.3	$0.35 \times V_{CCIO}$	$0.65 \times V_{CCIO}$	$V_{CCIO} + 0.3$	$0.25 \times V_{CCIO}$	$0.75 \times V_{CCIO}$	2	-2

表 2-17: Arria V GZ 器件的单端 SSTL, HSTL 和 HSUL I/O 参考电压规范

I/O 标准	V_{CCIO} (V)			V_{REF} (V)			V_{TT} (V)		
	Min	Typ	Max	Min	Typ	Max	Min	Typ	Max
SSTL-2 Class I, II	2.375	2.5	2.625	$0.49 \times V_{CCIO}$	$0.5 \times V_{CCIO}$	$0.51 \times V_{CCIO}$	$V_{REF} - 0.04$	V_{REF}	$V_{REF} + 0.04$
SSTL-18 Class I, II	1.71	1.8	1.89	0.833	0.9	0.969	$V_{REF} - 0.04$	V_{REF}	$V_{REF} + 0.04$
SSTL-15 Class I, II	1.425	1.5	1.575	$0.49 \times V_{CCIO}$	$0.5 \times V_{CCIO}$	$0.51 \times V_{CCIO}$	$0.49 \times V_{CCIO}$	$0.5 \times V_{CCIO}$	$0.51 \times V_{CCIO}$
SSTL-135 Class I, II	1.283	1.35	1.418	$0.49 \times V_{CCIO}$	$0.5 \times V_{CCIO}$	$0.51 \times V_{CCIO}$	$0.49 \times V_{CCIO}$	$0.5 \times V_{CCIO}$	$0.51 \times V_{CCIO}$

I/O 标准	V_{CCIO} (V)			V_{REF} (V)			V_{TT} (V)		
	Min	Typ	Max	Min	Typ	Max	Min	Typ	Max
SSTL-125 Class I, II	1.19	1.25	1.26	$0.49 \times V_{CCIO}$	$0.5 \times V_{CCIO}$	$0.51 \times V_{CCIO}$	$0.49 \times V_{CCIO}$	$0.5 \times V_{CCIO}$	$0.51 \times V_{CCIO}$
SSTL-12 Class I, II	1.14	1.20	1.26	$0.49 \times V_{CCIO}$	$0.5 \times V_{CCIO}$	$0.51 \times V_{CCIO}$	$0.49 \times V_{CCIO}$	$0.5 \times V_{CCIO}$	$0.51 \times V_{CCIO}$
HSTL-18 Class I, II	1.71	1.8	1.89	0.85	0.9	0.95	—	$V_{CCIO}/2$	—
HSTL-15 Class I, II	1.425	1.5	1.575	0.68	0.75	0.9	—	$V_{CCIO}/2$	—
HSTL-12 Class I, II	1.14	1.2	1.26	$0.47 \times V_{CCIO}$	$0.5 \times V_{CCIO}$	$0.53 \times V_{CCIO}$	—	$V_{CCIO}/2$	—
HSUL-12	1.14	1.2	1.3	$0.49 \times V_{CCIO}$	$0.5 \times V_{CCIO}$	$0.51 \times V_{CCIO}$	—	—	—

表 2-18: Arria V GZ 器件的单端 SSTL, HSTL 和 HSUL I/O 标准信号规范

I/O 标准	$V_{IL(DC)}$ (V)		$V_{IH(DC)}$ (V)		$V_{IL(AC)}$ (V)	$V_{IH(AC)}$ (V)	V_{OL} (V)	V_{OH} (V)	I_{ol} (mA)	I_{oh} (mA)
	Min	Max	Min	Max	Max	Min	Max	Min		
SSTL-2 Class I	-0.3	$V_{REF} - 0.15$	$V_{REF} + 0.15$	$V_{CCIO} + 0.3$	$V_{REF} - 0.31$	$V_{REF} + 0.31$	$V_{TT} - 0.608$	$V_{TT} + 0.608$	8.1	-8.1
SSTL-2 Class II	-0.3	$V_{REF} - 0.15$	$V_{REF} + 0.15$	$V_{CCIO} + 0.3$	$V_{REF} - 0.31$	$V_{REF} + 0.31$	$V_{TT} - 0.81$	$V_{TT} + 0.81$	16.2	-16.2
SSTL-18 Class I	-0.3	$V_{REF} - 0.125$	$V_{REF} + 0.125$	$V_{CCIO} + 0.3$	$V_{REF} - 0.25$	$V_{REF} + 0.25$	$V_{TT} - 0.603$	$V_{TT} + 0.603$	6.7	-6.7
SSTL-18 Class II	-0.3	$V_{REF} - 0.125$	$V_{REF} + 0.125$	$V_{CCIO} + 0.3$	$V_{REF} - 0.25$	$V_{REF} + 0.25$	0.28	$V_{CCIO} - 0.28$	13.4	-13.4

I/O 标准	$V_{IL(DC)} (V)$		$V_{IH(DC)} (V)$		$V_{IL(AC)} (V)$	$V_{IH(AC)} (V)$	$V_{OL} (V)$	$V_{OH} (V)$	$I_{ol} (mA)$	$I_{oh} (mA)$
	Min	Max	Min	Max	Max	Min	Max	Min		
SSTL-15 Class I	—	$V_{REF} - 0.1$	$V_{REF} + 0.1$	—	$V_{REF} - 0.175$	$V_{REF} + 0.175$	$0.2 \times V_{CCIO}$	$0.8 \times V_{CCIO}$	8	-8
SSTL-15 Class II	—	$V_{REF} - 0.1$	$V_{REF} + 0.1$	—	$V_{REF} - 0.175$	$V_{REF} + 0.175$	$0.2 \times V_{CCIO}$	$0.8 \times V_{CCIO}$	16	-16
SSTL-135 Class I, II	—	$V_{REF} - 0.09$	$V_{REF} + 0.09$	—	$V_{REF} - 0.16$	$V_{REF} + 0.16$	$0.2 \times V_{CCIO}$	$0.8 \times V_{CCIO}$	—	—
SSTL-125 Class I, II	—	$V_{REF} - 0.85$	$V_{REF} + 0.85$	—	$V_{REF} - 0.15$	$V_{REF} + 0.15$	$0.2 \times V_{CCIO}$	$0.8 \times V_{CCIO}$	—	—
SSTL-12 Class I, II	—	$V_{REF} - 0.1$	$V_{REF} + 0.1$	—	$V_{REF} - 0.15$	$V_{REF} + 0.15$	$0.2 \times V_{CCIO}$	$0.8 \times V_{CCIO}$	—	—
HSTL-18 Class I	—	$V_{REF} - 0.1$	$V_{REF} + 0.1$	—	$V_{REF} - 0.2$	$V_{REF} + 0.2$	0.4	$V_{CCIO} - 0.4$	8	-8
HSTL-18 Class II	—	$V_{REF} - 0.1$	$V_{REF} + 0.1$	—	$V_{REF} - 0.2$	$V_{REF} + 0.2$	0.4	$V_{CCIO} - 0.4$	16	-16
HSTL-15 Class I	—	$V_{REF} - 0.1$	$V_{REF} + 0.1$	—	$V_{REF} - 0.2$	$V_{REF} + 0.2$	0.4	$V_{CCIO} - 0.4$	8	-8
HSTL-15 Class II	—	$V_{REF} - 0.1$	$V_{REF} + 0.1$	—	$V_{REF} - 0.2$	$V_{REF} + 0.2$	0.4	$V_{CCIO} - 0.4$	16	-16
HSTL-12 Class I	-0.15	$V_{REF} - 0.08$	$V_{REF} + 0.08$	$V_{CCIO} + 0.15$	$V_{REF} - 0.15$	$V_{REF} + 0.15$	$0.25 \times V_{CCIO}$	$0.75 \times V_{CCIO}$	8	-8
HSTL-12 Class II	-0.15	$V_{REF} - 0.08$	$V_{REF} + 0.08$	$V_{CCIO} + 0.15$	$V_{REF} - 0.15$	$V_{REF} + 0.15$	$0.25 \times V_{CCIO}$	$0.75 \times V_{CCIO}$	16	-16
HSUL-12	—	$V_{REF} - 0.13$	$V_{REF} + 0.13$	—	$V_{REF} - 0.22$	$V_{REF} + 0.22$	$0.1 \times V_{CCIO}$	$0.9 \times V_{CCIO}$	—	—

表 2-19: Arria V GZ 器件的差分 SSTL I/O 标准

I/O 标准	V_{CCIO} (V)			$V_{SWING(DC)}$ (V)		$V_{X(AC)}$ (V)			$V_{SWING(AC)}$ (V)	
	Min	Typ	Max	Min	Max	Min	Typ	Max	Min	Max
SSTL-2 Class I, II	2.375	2.5	2.625	0.3	$V_{CCIO} + 0.6$	$V_{CCIO}/2 - 0.2$	—	$V_{CCIO}/2 + 0.2$	0.62	$V_{CCIO} + 0.6$
SSTL-18 Class I, II	1.71	1.8	1.89	0.25	$V_{CCIO} + 0.6$	$V_{CCIO}/2 - 0.175$	—	$V_{CCIO}/2 + 0.175$	0.5	$V_{CCIO} + 0.6$
SSTL-15 Class I, II	1.425	1.5	1.575	0.2	⁽¹²³⁾	$V_{CCIO}/2 - 0.15$	—	$V_{CCIO}/2 + 0.15$	0.35	—
SSTL-135 Class I, II	1.283	1.35	1.45	0.2	⁽¹²³⁾	$V_{CCIO}/2 - 0.15$	$V_{CCIO}/2$	$V_{CCIO}/2 + 0.15$	$2(V_{IH(AC)} - V_{REF})$	$2(V_{IL(AC)} - V_{REF})$
SSTL-125 Class I, II	1.19	1.25	1.31	0.18	⁽¹²³⁾	$V_{CCIO}/2 - 0.15$	$V_{CCIO}/2$	$V_{CCIO}/2 + 0.15$	$2(V_{IH(AC)} - V_{REF})$	—
SSTL-12 Class I, II	1.14	1.2	1.26	0.18	—	$V_{REF} - 0.15$	$V_{CCIO}/2$	$V_{REF} + 0.15$	- 0.30	0.30

表 2-20: Arria V GZ 器件的差分 HSTL 和 HSUL I/O 标准

I/O 标准	V_{CCIO} (V)			$V_{DIF(DC)}$ (V)		$V_{X(AC)}$ (V)			$V_{CM(DC)}$ (V)			$V_{DIF(AC)}$ (V)	
	Min	Typ	Max	Min	Max	Min	Typ	Max	Min	Typ	Max	Min	Max
HSTL-18 Class I, II	1.71	1.8	1.89	0.2	—	0.78	—	1.12	0.78	—	1.12	0.4	—
HSTL-15 Class I, II	1.425	1.5	1.575	0.2	—	0.68	—	0.9	0.68	—	0.9	0.4	—

⁽¹²³⁾ $V_{SWING(DC)}$ 的最大值没有被定义。但是，每个单端信号都需要在相应的单端限制 ($V_{IH(DC)}$ 和 $V_{IL(DC)}$) 内。

I/O 标准	V _{CCIO} (V)			V _{DIF(DC)} (V)		V _{X(AC)} (V)			V _{CM(DC)} (V)			V _{DIF(AC)} (V)	
	Min	Typ	Max	Min	Max	Min	Typ	Max	Min	Typ	Max	Min	Max
HSTL-12 Class I, II	1.14	1.2	1.26	0.16	V _{CCIO} + 0.3	—	0.5 × V _{CCIO}	—	0.4 × V _{CCIO}	0.5 × V _{CCIO}	0.6 × V _{CCIO}	0.3	V _{CCIO} + 0.48
HSUL-12	1.14	1.2	1.3	0.26	0.26	0.5 × V _{CCIO} - 0.12	0.5 × V _{CCIO}	0.5 × V _{CCIO} + 0.12	0.4 × V _{CCIO}	0.5 × V _{CCIO}	0.6 × V _{CCIO}	0.44	0.44

表 2-21: Arria V GZ 器件的差分 I/O 标准规范

I/O 标准	V _{CCIO} (V) ⁽¹²⁴⁾			V _{ID} (mV) ⁽¹²⁵⁾			V _{ICM(DC)} (V)			V _{OD} (V) ⁽¹²⁶⁾			V _{OCM} (V) ⁽¹²⁶⁾		
	Min	Typ	Max	Min	条件	Max	Min	条件	Max	Min	Typ	Max	Min	Typ	Max
PCML	高速收发器的发送器，接收器和输入参考时钟管脚使用 PCML I/O 标准。关于发送器，接收器和参考时钟 I/O 管脚规范，请参考“收发器性能规范”部分。														
2.5 V LVDS ⁽¹²⁷⁾	2.375	2.5	2.625	100	V _{CM} = 1.25 V	—	0.05	D _{MAX} ≤ 700 Mbps	1.8	0.247	—	0.6	1.125	1.25	1.375
						—	1.05	D _{MAX} > 700 Mbps	1.55	0.247	—	0.6	1.125	1.25	1.375
BLVDS ⁽¹²⁸⁾	2.375	2.5	2.625	100	—	—	—	—	—	—	—	—	—	—	—

⁽¹²⁴⁾ 差分输入由需要 2.5 V 的 VCCPD 供电。⁽¹²⁵⁾ V_{ID} 的最小值在整个通用模式范围内适用，V_{CM}。⁽¹²⁶⁾ R_I 范围：90 ≤ R_L ≤ 110 Ω。⁽¹²⁷⁾ 为优化 LVDS 接收器的性能，对于高于 700 Mbps 的数据速率，接收器电压输入范围必须在 0.25 V 到 1.6 V 之间，对于低于 700 Mbps 的数据速率，接收器电压输入范围必须在 0 V 到 1.85 V 之间。

I/O 标准	V_{CCIO} (V) ⁽¹²⁴⁾			V_{ID} (mV) ⁽¹²⁵⁾			$V_{ICM(DC)}$ (V)			V_{OD} (V) ⁽¹²⁶⁾			V_{OCM} (V) ⁽¹²⁶⁾		
	Min	Typ	Max	Min	条件	Max	Min	条件	Max	Min	Typ	Max	Min	Typ	Max
RSDS(HIO) ⁽¹²⁹⁾	2.375	2.5	2.625	100	$V_{CM} = 1.25$ V	—	0.3	—	1.4	0.1	0.2	0.6	0.5	1.2	1.4
Mini-LVDS (HIO) ⁽¹³⁰⁾	2.375	2.5	2.625	200	—	600	0.4	—	1.325	0.25	—	0.6	1	1.2	1.4
LVPECL ^{(131), (132)}	—	—	—	300	—	—	0.6	$D_{MAX} \leq 700$ Mbps	1.8	—	—	—	—	—	—
	—	—	—	300	—	—	1	$D_{MAX} > 700$ Mbps	1.6	—	—	—	—	—	—

相关链接

术语 (第 2-74 页)

⁽¹²⁴⁾ 差分输入由需要 2.5 V 的 VCCPD 供电。⁽¹²⁵⁾ V_{ID} 的最小值在整个通用模式范围内适用, V_{CM} 。⁽¹²⁶⁾ R_I 范围: $90 \leq R_L \leq 110 \Omega$ 。⁽¹²⁸⁾ 对于 BLVDS, 没有固定的 V_{ICM} , V_{OD} 和 V_{OCM} 规范。它们取决于系统拓扑结构。⁽¹²⁹⁾ 为优化 RSBS 接收器的性能, 接收器电压输入范围必须在 0.25 V 到 1.45 V 之间。⁽¹³⁰⁾ 为优化 Mini-LVDS 接收器的性能, 接收器电压输入范围必须在 0.3 V 到 1.425 V 之间。⁽¹³¹⁾ 仅在专用时钟输入管脚上支持 LVPECL。⁽¹³²⁾ 为优化 LVPECL 接收器的性能, 对于高于 700 Mbps 的数据速率, 接收器电压输入范围必须在 0.85 V 到 1.75 V 之间, 对于低于 700 Mbps 的数据速率, 接收器电压输入范围必须在 0.45 V 到 1.95 V 之间。

开关特性

收发器性能规范

参考时钟

表 2-22: Arria V GZ 器件的参考时钟规范

显示的速度等级是指器件订购码中的 PMA 速度等级。最大数据速率可能会受到 Core/PCS 速度等级的限制。请与您的 Altera 销售代表取得联系来获得所提供的每种速度等级组合中的最大数据速率规范。关于器件订购码的详细信息，请参考 *Arria V 器件概述*。

符号/说明	条件	收发器速度等级 2			收发器速度等级 3			单位
		Min	Typ	Max	Min	Typ	Max	
参考时钟								
支持的 I/O 标准	专用参考时钟管脚	1.2-V PCML, 1.4-V PCML, 1.5-V PCML, 2.5-V PCML, Differential LVPECL, LVDS, and HCSL						
	RX 参考时钟管脚	1.4-V PCML, 1.5-V PCML, 2.5-V PCML, LVPECL, and LVDS						
输入参考时钟频率(CMU PLL) (133)	—	40	—	710	40	—	710	MHz
输入参考时钟频率 (ATX PLL) (133)	—	100	—	710	100	—	710	MHz
上升时间	在±60 mV 差分信号上测量 ⁽¹³⁴⁾	—	—	400	—	—	400	ps
下降时间	在±60 mV 差分信号上测量 ⁽¹³⁴⁾	—	—	400	—	—	400	

⁽¹³³⁾ 输入参考时钟频率选项取决于数据速率和器件速度等级。

⁽¹³⁴⁾ REFCLK 性能要求满足发送器 REFCLK 相位噪声规范。

符号/说明	条件	收发器速度等级 2			收发器速度等级 3			单位
		Min	Typ	Max	Min	Typ	Max	
占空比	—	45	—	55	45	—	55	%
扩频调制时钟频率	PCI Express [®] (PCIe)	30	—	33	30	—	33	kHz
扩频下展(spread-spectrum downspread)	PCIe	—	0 to – 0.5	—	—	0 to – 0.5	—	%
片上匹配电阻	—	—	100	—	—	100	—	Ω
绝对 V_{MAX}	专用参考时钟管脚	—	—	1.6	—	—	1.6	V
	RX 参考时钟管脚	—	—	1.2	—	—	1.2	
绝对 V_{MIN}	—	– 0.4	—	—	– 0.4	—	—	V
峰峰(peak-to-peak)差分输入电压	—	200	—	1600	200	—	1600	mV
V_{ICM} (AC 耦合)	专用参考时钟管脚	1000/900/850 ⁽¹³⁵⁾			1000/900/850 ⁽¹³⁵⁾			mV
	RX 参考时钟管脚	1.0/0.9/0.85 ⁽¹³⁶⁾			1.0/0.9/0.85 ⁽¹³⁶⁾			mV
V_{ICM} (DC 耦合)	PCIe 参考时钟的 HCSL I/O 标准	250	—	550	250	—	550	mV

⁽¹³⁵⁾ 参考时钟共模电压等于 V_{CCR_GXB} 电源电平。

⁽¹³⁶⁾ 此电源符合 V_{CCR_GXB} 。

符号/说明	条件	收发器速度等级 2			收发器速度等级 3			单位
		Min	Typ	Max	Min	Typ	Max	
发送器 REFCLK 相位噪声 (622 MHz) ⁽¹³⁷⁾	100 Hz	—	—	-70	—	—	-70	dBc/Hz
	1 kHz	—	—	-90	—	—	-90	dBc/Hz
	10 kHz	—	—	-100	—	—	-100	dBc/Hz
	100 kHz	—	—	-110	—	—	-110	dBc/Hz
	≥ 1 MHz	—	—	-120	—	—	-120	dBc/Hz
发送器 REFCLK 相位抖动 (100 MHz) ⁽¹³⁸⁾	10 kHz to 1.5 MHz (PCIe)	—	—	3	—	—	3	ps (rms)
R _{REF}	—	—	1800 ±1%	—	—	1800 ±1%	—	Ω

相关链接
[Arria V 器件概述](#)
提供关于器件订购码的详细信息。

收发器时钟

表 2-23: Arria V GZ 器件的收发器时钟规范

显示的速度等级是指器件订购码中的 PMA 速度等级。最大数据速率可能会受到 Core/PCS 速度等级的限制。请与您的 Altera 销售代表取得联系来获得所提供的每种速度等级组合中的最大数据速率规范。关于器件订购码的详细信息，请参考 [Arria V 器件概述](#)。

⁽¹³⁷⁾ 使用下面公式计算 622 MHz 以外的 REFCLK 相位噪声要求：REFCLK phase noise at f (MHz) = REFCLK phase noise at 622 MHz + 20*log(f/622)。

⁽¹³⁸⁾ 使用下面公式计算 100 MHz 以外的参考时钟频率上的 PCIe 的 REFCLK rms 相位抖动要求：REFCLK rms phase jitter at f(MHz) = REFCLK rms phase jitter at 100 MHz × 100/f。

符号/说明	条件	收发器速度等级 2			收发器速度等级 3			单位
		Min	Typ	Max	Min	Typ	Max	
fixedclk 时钟频率	PCIe 接收器检测	—	100 或 125	—	—	100 或 125	—	MHz
重配置时钟(mgmt_clk_clk)频率	—	100	—	125	100	—	125	MHz

相关链接**Arria V 器件概述**

提供关于器件订购码的详细信息。

接收器**表 2-24: Arria V GZ 器件的接收器规范**

显示的速度等级是指器件订购码中的 PMA 速度等级。最大数据速率可能会受到 Core/PCS 速度等级的限制。请与您的 Altera 销售代表取得联系来获得所提供的每种速度等级组合中的最大数据速率规范。关于器件订购码的详细信息，请参考 *Arria V 器件概述*。

符号/说明	条件	收发器速度等级 2			收发器速度等级 3			单位
		Min	Typ	Max	Min	Typ	Max	
支持的 I/O 标准	1.4-V PCML, 1.5-V PCML, 2.5-V PCML, LVPECL, and LVDS							
数据速率(Standard PCS) ⁽¹³⁹⁾ , ⁽¹⁴⁰⁾	—	600	—	9900	600	—	8800	Mbps
数据速率(10G PCS) ⁽¹³⁹⁾ , ⁽¹⁴⁰⁾	—	600	—	12500	600	—	10312.5	Mbps
接收器管脚的绝对 V _{MAX} ⁽¹⁴¹⁾	—	—	—	1.2	—	—	1.2	V
接收器管脚的绝对 V _{MIN}	—	− 0.4	—	—	− 0.4	—	—	V

⁽¹³⁹⁾ 线数据速率可能受 PCS-FPGA 接口速度等级的限制。

⁽¹⁴⁰⁾ 仅在 LTR 模式下使用 CDR 以支持通过过采样的低于最小规范的数据速率。

⁽¹⁴¹⁾ 器件在此绝对最大值上不能耐受长时间的运行。

符号/说明	条件	收发器速度等级 2			收发器速度等级 3			单位
		Min	Typ	Max	Min	Typ	Max	
器件配置前的最大峰峰差分输入电压 V_{ID} (diff p-p)	—	—	—	1.6	—	—	1.6	V
器件配置后的最大峰峰(peak-to-peak)差分输入电压 V_{ID} (diff p-p) ⁽¹⁴²⁾	$V_{CCR_GXB} = 1.0\text{ V}$ ($V_{ICM} = 0.75\text{ V}$)	—	—	1.8	—	—	1.8	V
	$V_{CCR_GXB} = 0.85\text{ V}$ ($V_{ICM} = 0.6\text{ V}$)	—	—	2.4	—	—	2.4	V
接收器串行输入管脚上的最小差分眼开 ^{(143) (144)}	—	85	—	—	85	—	—	mV
差分片上匹配电阻	85- Ω setting	—	$85 \pm 30\%$	—	—	$85 \pm 30\%$	—	Ω
	100- Ω setting	—	$100 \pm 30\%$	—	—	$100 \pm 30\%$	—	Ω
	120- Ω setting	—	$120 \pm 30\%$	—	—	$120 \pm 30\%$	—	Ω
	150- Ω setting	—	$150 \pm 30\%$	—	—	$150 \pm 30\%$	—	Ω

⁽¹⁴²⁾ 器件配置后的最大峰峰差分输入电压 V_{ID} 等于 $4 \times (\text{absolute } V_{MAX} \text{ for receiver pin} - V_{ICM})$ 。

⁽¹⁴³⁾ 接收器输入管脚上的差分眼开规范假定 **Receiver Equalization** 是禁用的。如果使能 **Receiver Equalization**，那么接收器电路能够根据均衡级别来耐受较低的最小眼开。

⁽¹⁴⁴⁾ 85 mV 的最小眼开仅用于无应力(unstressed)的输入眼条件。

符号/说明	条件	收发器速度等级 2			收发器速度等级 3			单位
		Min	Typ	Max	Min	Typ	Max	
V_{ICM} (AC 和 DC 耦合)	$V_{CCR_GXB} = 0.85\text{ V}$ 全带宽	—	600	—	—	600	—	mV
	$V_{CCR_GXB} = 0.85\text{ V}$ 半带宽	—	600	—	—	600	—	mV
	$V_{CCR_GXB} = 1.0\text{ V}$ 全带宽	—	700	—	—	700	—	mV
	$V_{CCR_GXB} = 1.0\text{ V}$ 半带宽	—	700	—	—	700	—	mV
$t_{LTR}^{(145)}$	—	—	—	10	—	—	10	μs
$t_{LTD}^{(146)}$	—	4	—	—	4	—	—	μs
$t_{LTD_manual}^{(147)}$	—	4	—	—	4	—	—	μs
$t_{LTR_LTD_manual}^{(148)}$	—	15	—	—	15	—	—	μs
CDR PPM 容限	数据速率: 600 Mbps 到 1 Gbps	—	—	1000	—	—	1000	$\pm\text{ PPM}$
	数据速率: 1 Gbps 到 6 Gbps	—	—	1000	—	—	1000	
	数据速率: $\geq 6\text{ Gbps}$	—	—	1000	—	—	1000	
可编程均衡 (AC 增益)	全带宽 (6.25 GHz)	—	—	16	—	—	16	dB
	半带宽 (3.125 GHz)	—	—	—	—	—	—	

⁽¹⁴⁵⁾ t_{LTR} 是接收器 CDR 脱离复位后锁定到输入参考时钟频率所需要的时间。

⁽¹⁴⁶⁾ t_{LTD} 是 $rx_is_lockedto\text{data}$ 信号变高后, 接收器 CDR 开始恢复有效数据所需要的时间。

⁽¹⁴⁷⁾ t_{LTD_manual} 是 CDR 运行在手动模式下时 $rx_is_lockedto\text{data}$ 信号变高后接收器 CDR 开始恢复有效数据所需要的时间。

⁽¹⁴⁸⁾ $t_{LTR_LTD_manual}$ 是 CDR 运行在手动模式下时 $rx_is_lockedto\text{ref}$ 信号变高后接收器 CDR 必须保持锁定到参考(LTR)模式的时间。

符号/说明	条件	收发器速度等级 2			收发器速度等级 3			单位
		Min	Typ	Max	Min	Typ	Max	
可编程 DC 增益	DC gain setting = 0	—	0	—	—	0	—	dB
	DC gain setting = 1	—	2	—	—	2	—	dB
	DC gain setting = 2	—	4	—	—	4	—	dB
	DC gain setting = 3	—	6	—	—	6	—	dB
	DC gain setting = 4	—	8	—	—	8	—	dB

相关链接
[Arria V 器件概述](#)
提供关于器件订购码的详细信息。

发送器

表 2-25: Arria V GZ 器件的发送器规范

显示的速度等级是指器件订购码中的 PMA 速度等级。最大数据速率可能会受到 Core/PCS 速度等级的限制。请与您的 Altera 销售代表取得联系来获得所提供的每种速度等级组合中的最大数据速率规范。关于器件订购码的详细信息，请参考 [Arria V 器件概述](#)。

符号/说明	条件	收发器速度等级 2			收发器速度等级 3			单位
		Min	Typ	Max	Min	Typ	Max	
支持的 I/O 标准	1.4-V 和 1.5-V PCML							
数据速率(Standard PCS)	—	600	—	9900	600	—	8800	Mbps
数据速率(10G PCS)	—	600	—	12500	600	—	10312.5	Mbps



符号/说明	条件	收发器速度等级 2			收发器速度等级 3			单位
		Min	Typ	Max	Min	Typ	Max	
差分片上匹配电阻	85- Ω setting	—	85 $\pm$ 20%	—	—	85 $\pm$ 20%	—	Ω
	100- Ω setting	—	100 $\pm$ 20%	—	—	100 $\pm$ 20%	—	Ω
	120- Ω setting	—	120 $\pm$ 20%	—	—	120 $\pm$ 20%	—	Ω
	150- Ω setting	—	150 $\pm$ 20%	—	—	150 $\pm$ 20%	—	Ω
V _{OCM} (AC 耦合)	0.65-V setting	—	650	—	—	650	—	mV
V _{OCM} (DC 耦合)	—	—	650	—	—	650	—	mV
上升时间 ⁽¹⁴⁹⁾	—	30	—	160	30	—	160	ps
下降时间 ⁽¹⁴⁹⁾	—	30	—	160	30	—	160	ps
内部差分对偏移	TX V _{CM} = 0.5 V, 15 ps 的摆率	—	—	15	—	—	15	ps
内部收发器模块发送器通道到通道偏移	x6 PMA bonded 模式	—	—	120	—	—	120	ps
内部收发器模块发送器通道到通道偏移	xN PMA bonded 模式	—	—	500	—	—	500	ps

相关链接**[Arria V 器件概述](#)**

提供关于器件订购码的详细信息。

⁽¹⁴⁹⁾ Quartus II 软件根据配置的数据速率或功能模式自动选择相应的摆率。

CMU PLL

表 2-26: Arria V GZ 器件的 CMU PLL 规范

显示的速度等级是指器件订购码中的 PMA 速度等级。最大数据速率可能会受到 Core/PCS 速度等级的限制。请与您的 Altera 销售代表取得联系来获得所提供的每种速度等级组合中的最大数据速率规范。关于器件订购码的详细信息，请参考 *Arria V 器件概述*。

符号/说明	条件	收发器速度等级 2			收发器速度等级 3			单位
		Min	Typ	Max	Min	Typ	Max	
支持的数据范围	—	600	—	12500	600	—	10312.5	Mbps
$t_{\text{pll_powerdown}}^{(150)}$	—	1	—	—	1	—	—	μs
$t_{\text{pll_lock}}^{(151)}$	—		—	10	—	—	10	μs

相关链接

[Arria V 器件概述](#)

提供关于器件订购码的详细信息。

ATX PLL

表 2-27: Arria V GZ 器件的 ATX PLL 规范

显示的速度等级是指器件订购码中的 PMA 速度等级。最大数据速率可能会受到 Core/PCS 速度等级的限制。请与您的 Altera 销售代表取得联系来获得所提供的每种速度等级组合中的最大数据速率规范。关于器件订购码的详细信息，请参考 *Arria V 器件概述*。

⁽¹⁵⁰⁾ $t_{\text{pll_powerdown}}$ 是 PLL 断电最小脉冲宽度(PLL powerdown minimum pulse width)。

⁽¹⁵¹⁾ $t_{\text{pll_lock}}$ 是发送器 CMU/ATX PLL 脱离复位后锁定到输入参考时钟频率所需要的时间。

符号/说明	条件	收发器速度等级 2			收发器速度等级 3			单位
		Min	Typ	Max	Min	Typ	Max	
支持的数据范围	VCO post-divider L = 2	8000	—	12500	8000	—	10312.5	Mbps
	L = 4	4000	—	6600	4000	—	6600	Mbps
	L = 8 ⁽¹⁵²⁾	1000	—	3300	1000	—	3300	Mbps
$t_{\text{pll_powerdown}}$ ⁽¹⁵³⁾	—	1	—	—	1	—	—	μs
$t_{\text{pll_lock}}$ ⁽¹⁵⁴⁾	—	—	—	10	—	—	10	μs

相关链接

- [Arria V 器件概述](#)
提供关于器件订购码的详细信息。
- [Arria V 器件中的收发器时钟](#)
提供关于时钟 ATX PLL 的详细信息。
- [Arria V 器件中的动态重配置](#)
提供关于重配置 ATX PLL 的详细信息。

小数分频 PLL

表 2-28: Arria V GZ 器件的小数分频 PLL 规范

显示的速度等级是指器件订购码中的 PMA 速度等级。最大数据速率可能会受到 Core/PCS 速度等级的限制。请与您的 Altera 销售代表取得联系来获得所提供的每种速度等级组合中的最大数据速率规范。关于器件订购码的详细信息，请参考 [Arria V 器件概述](#)。

⁽¹⁵²⁾ 此时钟能够进一步被中央或本地时钟分频器分频，从而能够将 ATX PLL 用于小于 1 Gbps 数据速率。关于 ATX PLL 的详细信息，请参考“Arria V 器件中的收发器时钟章节”和“Arria V 器件中的动态重配置”章节。

⁽¹⁵³⁾ $t_{\text{pll_powerdown}}$ 是 PLL 断电最小脉冲宽度(PLL powerdown minimum pulse width)。

⁽¹⁵⁴⁾ $t_{\text{pll_lock}}$ 是发送器 CMU/ATX PLL 脱离复位后锁定到输入参考时钟频率所需要的时间。

符号/说明	条件	收发器速度等级 2			收发器速度等级 3			单位
		Min	Typ	Max	Min	Typ	Max	
支持的数据范围	—	600	—	3250/ 3125 ⁽¹⁵⁵⁾	600	—	3250/ 3125 ⁽¹⁵⁵⁾	Mbps
$t_{\text{pll_powerdown}}$ ⁽¹⁵⁶⁾	—	1	—	—	1	—	—	μs
$t_{\text{pll_lock}}$ ⁽¹⁵⁷⁾	—	—	—	10	—	—	10	μs

相关链接**Arria V 器件概述**

提供关于器件订购码的详细信息。

时钟网络数据速率**表 2-29: 时钟网络最大数据速率发送器规范**

低于此表中指定的最大数据速率的有效数据速率取决于参考时钟频率和 PLL 计数器设置。在 PHY IP 安装期间请查看 MegaWizard 消息。

时钟网络	ATX PLL			CMU PLL ⁽¹⁵⁸⁾			fPLL		
	非绑定模式 (Gbps)	绑定模式 (Gbps)	通道范围	非绑定模式 (Gbps)	绑定模式 (Gbps)	通道范围	非绑定模式 (Gbps)	绑定模式 (Gbps)	通道跨度 (channel span)
x1 ⁽¹⁵⁹⁾	12.5	—	6	12.5	—	6	3.125	—	3
x6 ⁽¹⁵⁹⁾	—	12.5	6	—	12.5	6	—	3.125	6

⁽¹⁵⁵⁾ 当 fPLL 用作收发器的 TXPLL 时

⁽¹⁵⁶⁾ $t_{\text{pll_powerdown}}$ 是 PLL 断电最小脉冲宽度(PLL powerdown minimum pulse width)。

⁽¹⁵⁷⁾ $t_{\text{pll_lock}}$ 是发送器 CMU/ATX PLL 脱离复位后锁定到输入参考时钟频率所需要的时间。

⁽¹⁵⁸⁾ 为提高抖动性能，建议 ATX PLL 在 8 Gbps 和更高数据速率上。

⁽¹⁵⁹⁾ 通道跨度是在一个收发器组(transceiver bank)范围内。

时钟网络	ATX PLL			CMU PLL ⁽¹⁵⁸⁾			fPLL		
	非绑定模式 (Gbps)	绑定模式 (Gbps)	通道范围	非绑定模式 (Gbps)	绑定模式 (Gbps)	通道范围	非绑定模式 (Gbps)	绑定模式 (Gbps)	通道跨度 (channel span)
x6 PLL Feedback ⁽¹⁶⁰⁾	—	12.5	Side-wide	—	12.5	Side-wide	—	—	—
xN (PCIe)	—	8.0	8	—	5.0	8	—	—	—
xN (Native PHY IP)	8.0	8.0	PLL 上下的 13 个通道	7.99	7.99	PLL 上下的 13 个通道	3.125	3.125	PLL 上下的 13 个通道
	—	8.01 to 9.8304	PLL 上下的 7 个通道						

标准 PCS 数据速率

表 2-30: Arria V GZ 器件的标准 PCS 近似最大数据速率(Gbps)

最大数据速率也受到收发器速度等级的限制。请参考“Arria V GZ 器件的商业和工业速度等级提供”表来获得关于收发器速度等级的信息。

⁽¹⁵⁸⁾ 为提高抖动性能，建议 ATX PLL 在 8 Gbps 和更高数据速率上。

⁽¹⁶⁰⁾ 允许 Side-wide 通道绑定高达 PHY IP 所支持的最大数。

模式 ⁽¹⁶¹⁾	收发器速度等级	PMA 宽度	20	20	16	16	10	10	8	8
		PCS/Core 宽度	40	20	32	16	20	10	16	8
FIFO	2	C3, I3L 内核速度等级	9.9	9	7.84	7.2	5.3	4.7	4.24	3.76
	3	C4, I4 内核速度等级	8.8	8.2	7.2	6.56	4.8	4.3	3.84	3.44
寄存器	2	C3, I3L 内核速度等级	9.9	9	7.92	7.2	4.9	4.5	3.92	3.6
	3	C4, I4 内核速度等级	8.8	8.2	7.04	6.56	4.4	4.1	3.52	3.28

相关链接

[操作条件](#) (第 2-1 页)

⁽¹⁶¹⁾ 相位补偿 FIFO 能够在 FIFO 模式和寄存器模式下配置。在 FIFO 模式中，指针不是固定的，延迟会不同。在寄存器模式中，指针是固定的，用于低延迟。

10G PCS 数据速率

表 2-31: Arria V GZ 器件的 10G PCS 近似最大数据速率(Gbps)

模式 ⁽¹⁶²⁾	收发器速度等级	PMA 宽度	64	40	40	40	32	32
		PCS 宽度	64	66/67	50	40	64/66/67	32
FIFO	2	C3, I3L 内核速度等级	12.5	12.5	10.69	12.5	10.88	10.88
	3	C4, I4 内核速度等级	10.3125	10.3125	10.69	10.3125	9.92	9.92
寄存器	2	C3, I3L 内核速度等级	12.5	12.5	10.69	12.5	10.88	10.88
	3	C4, I4 内核速度等级	10.3125	10.3125	10.69	10.3125	9.92	9.92

典型的 VOD 设置

表 2-32: Arria V GZ 通道, TX Termination = 100 Ω 的典型 V_{OD} 设置

对于所有 VOD 设置, 除了设置 2 及以下, 容差都是+/-20%。

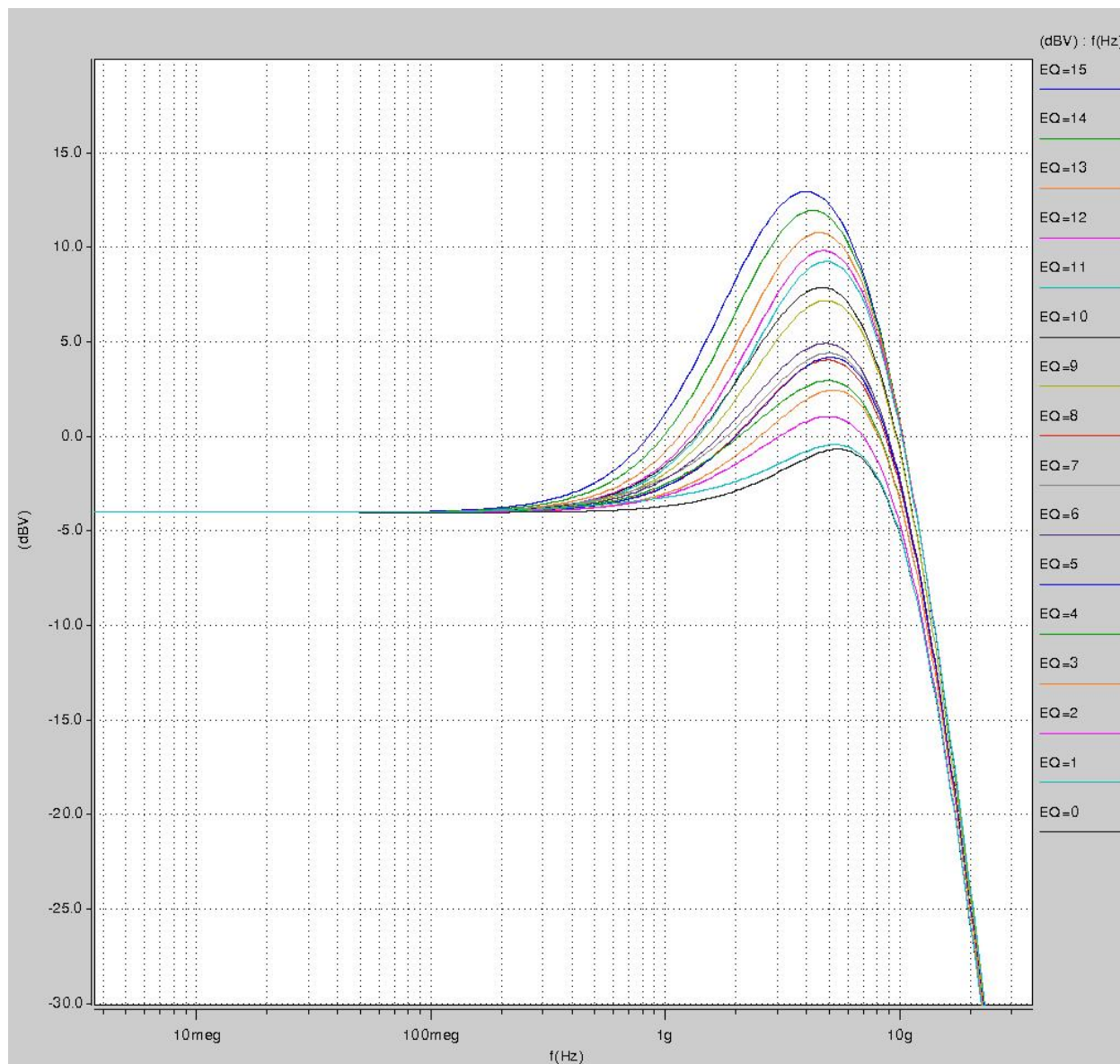
⁽¹⁶²⁾ 相位补偿 FIFO 能够在 FIFO 模式和寄存器模式下配置。在 FIFO 模式中, 指针不是固定的, 延迟会不同。在寄存器模式中, 指针是固定的, 用于低延迟。

符号	V _{OD} 设置	V _{OD} 值(mV)	V _{OD} 设置	V _{OD} 值(mV)
V _{OD} 差分峰峰典型 (differential peak to peak typical)	0 ⁽¹⁶³⁾	0	32	640
	1 ⁽¹⁶³⁾	20	33	660
	2 ⁽¹⁶³⁾	40	34	680
	3 ⁽¹⁶³⁾	60	35	700
	4 ⁽¹⁶³⁾	80	36	720
	5 ⁽¹⁶³⁾	100	37	740
	6	120	38	760
	7	140	39	780
	8	160	40	800
	9	180	41	820
	10	200	42	840
	11	220	43	860
	12	240	44	880
	13	260	45	900
	14	280	46	920

⁽¹⁶³⁾ 如果 TX 匹配阻值=100 Ω，那么此 VOD 设置是非法的。

符号	V _{OD} 设置	V _{OD} 值(mV)	V _{OD} 设置	V _{OD} 值(mV)
V _{OD} 差分峰峰典型 (differential peak to peak typical)	15	300	47	940
	16	320	48	960
	17	340	49	980
	18	360	50	1000
	19	380	51	1020
	20	400	52	1040
	21	420	53	1060
	22	440	54	1080
	23	460	55	1100
	24	480	56	1120
	25	500	57	1140
	26	520	58	1160
	27	540	59	1180
	28	560	60	1200
	29	580	61	1220
	30	600	62	1240
	31	620	63	1260

图 2-2: Arria V GZ 通道的 AC 增益曲线(全带宽)



内核性能规范

时钟树规范

表 2-33: Arria V GZ 器件的时钟树性能

符号	性能		单位
	C3, I3L	C4, I4	
全局和区域时钟	650	580	MHz
外围时钟	500	500	MHz

PLL 规范

表 2-34: Arria V GZ 器件的 PLL 规范

符号	参数	Min	Typ	Max	单位
$f_{IN}^{(164)}$	输入时钟频率(C3, I3L 速度等级)	5	—	800	MHz
	输入时钟频率(C4, I4 速度等级)	5	—	650	MHz
f_{INPFD}	Input frequency to the PFD	5	—	325	MHz
f_{FINPFD}	Fractional Input clock frequency to the PFD	50	—	160	MHz
$f_{VCO}^{(165)}$	PLL VCO operating range (C3, I3L speed grade)	600	—	1600	MHz
	PLL VCO operating range (C4, I4 speed grade)	600	—	1300	MHz
$t_{EINDUTY}$	Input clock or external feedback clock input duty cycle	40	—	60	%

⁽¹⁶⁴⁾ 此规范在 Quartus II 中受 I/O 最大频率限制。I/O 最大频率对于每种 I/O 标准是各不相同的。

⁽¹⁶⁵⁾ Quartus II 中编译报告的 PLL 汇总部分报告的 VCO 频率考虑到 VCO 后缩放计数器 K 值。因此，如果计数器 K 的值为 2，那么报告的频率能够低于 f_{VCO} 规范。

符号	参数	Min	Typ	Max	单位
$f_{OUT}^{(166)}$	Output frequency for an internal global or regional clock (C3, I3L speed grade)	—	—	650	MHz
	Output frequency for an internal global or regional clock (C4, I4 speed grade)	—	—	580	MHz
$f_{OUT_EXT}^{(166)}$	Output frequency for an external clock output (C3, I3L speed grade)	—	—	667	MHz
	Output frequency for an external clock output (C4, I4 speed grade)	—	—	533	MHz
$t_{OUTDUTY}$	Duty cycle for a dedicated external clock output (when set to 50%)	45	50	55	%
t_{FCOMP}	External feedback clock compensation time	—	—	10	ns
$f_{DYCONFIGCLK}$	Dynamic configuration clock for mgmt_clk and scanclk	—	—	100	MHz
t_{LOCK}	Time required to lock from the end-of-device configuration or deassertion of areset	—	—	1	ms
t_{DLOCK}	Time required to lock dynamically (after switchover or reconfiguring any non-post-scale counters/ delays)	—	—	1	ms
f_{CLBW}	PLL closed-loop low bandwidth	—	0.3	—	MHz
	PLL closed-loop medium bandwidth	—	1.5	—	MHz
	PLL closed-loop high bandwidth ⁽¹⁶⁷⁾	—	4	—	MHz
t_{PLL_PSERR}	Accuracy of PLL phase shift	—	—	±50	ps

⁽¹⁶⁶⁾ 此规范受限于 PLL 的 I/O f_{MAX} 和 f_{OUT} 两者中较低的一个。

⁽¹⁶⁷⁾ 在外部反馈模式下不支持高带宽 PLL 设置。

符号	参数	Min	Typ	Max	单位
t_{ARESET}	Minimum pulse width on the areset signal	10	—	—	ns
$t_{\text{INCCJ}}^{(168)},^{(169)}$	Input clock cycle-to-cycle jitter ($f_{\text{REF}} \geq 100$ MHz)	—	—	0.15	UI (p-p)
	Input clock cycle-to-cycle jitter ($f_{\text{REF}} < 100$ MHz)	-750	—	+750	ps (p-p)
$t_{\text{OUTPJ_DC}}^{(170)}$	Period Jitter for dedicated clock output in integer PLL ($f_{\text{OUT}} \geq 100$ MHz)	—	—	175	ps (p-p)
	Period Jitter for dedicated clock output in integer PLL ($f_{\text{OUT}} < 100$ MHz)	—	—	17.5	mUI (p-p)
$t_{\text{FOUTPJ_DC}}^{(170)}$	Period Jitter for dedicated clock output in fractional PLL ($f_{\text{OUT}} \geq 100$ MHz)	—	—	250 ⁽¹⁷³⁾ , 175 ⁽¹⁷¹⁾	ps (p-p)
	Period Jitter for dedicated clock output in fractional PLL ($f_{\text{OUT}} < 100$ MHz)	—	—	25 ⁽¹⁷³⁾ , 17.5 ⁽¹⁷¹⁾	mUI (p-p)
$t_{\text{OUTCCJ_DC}}^{(170)}$	Cycle-to-cycle Jitter for a dedicated clock output in integer PLL ($f_{\text{OUT}} \geq 100$ MHz)	—	—	175	ps (p-p)
	Cycle-to-cycle Jitter for a dedicated clock output in integer PLL ($f_{\text{OUT}} < 100$ MHz)	—	—	17.5	mUI (p-p)
$t_{\text{FOUTCCJ_DC}}^{(170)}$	Cycle-to-cycle Jitter for a dedicated clock output in fractional PLL ($f_{\text{OUT}} \geq 100$ MHz)	—	—	250 ⁽¹⁷³⁾ , 175 ⁽¹⁷¹⁾	ps (p-p)
	Cycle-to-cycle Jitter for a dedicated clock output in fractional PLL ($f_{\text{OUT}} < 100$ MHz)	—	—	25 ⁽¹⁷³⁾ , 17.5 ⁽¹⁷¹⁾	mUI (p-p)

⁽¹⁶⁸⁾ 高输入抖动直接影响 PLL 输出抖动。要达到低 PLL 输出时钟抖动，就必须提供一个低于 120 ps 的干净时钟源。

⁽¹⁶⁹⁾ 当 $N=1$ 时，应用 f_{REF} is f_{IN}/N 规范。

⁽¹⁷⁰⁾ 10^{-12} (14 sigma, 99.9999999974404%置信水平)概率水平的峰峰抖动(peak-to-peak jitter)。当应用 30 ps 的输入抖动时，输出抖动规范适用于 PLL 的固有抖动。外部存储器接口时钟输出抖动规范使用一个不同的测量方法，请参考“Arria V GZ I/O 管脚上的最坏情况 DCD”表。

⁽¹⁷¹⁾ 此规范仅涵盖用于低带宽的小数分频。对于小数分频值范围 0.20 – 0.80， f_{VCO} 必须 ≥ 1200 MHz。

符号	参数	Min	Typ	Max	单位
$t_{\text{OUTPJ_IO}}^{(170), (172)}$	Period Jitter for a clock output on a regular I/O in integer PLL ($f_{\text{OUT}} \geq 100$ MHz)	—	—	600	ps (p-p)
	Period Jitter for a clock output on a regular I/O in integer PLL ($f_{\text{OUT}} < 100$ MHz)	—	—	60	mUI (p-p)
$t_{\text{FOUTPJ_IO}}^{(170), (172), (173)}$	Period Jitter for a clock output on a regular I/O in fractional PLL ($f_{\text{OUT}} \geq 100$ MHz)	—	—	600	ps (p-p)
	Period Jitter for a clock output on a regular I/O in fractional PLL ($f_{\text{OUT}} < 100$ MHz)	—	—	60	mUI (p-p)
$t_{\text{OUTCCJ_IO}}^{(170), (172)}$	Cycle-to-cycle Jitter for a clock output on a regular I/O in integer PLL ($f_{\text{OUT}} \geq 100$ MHz)	—	—	600	ps (p-p)
	Cycle-to-cycle Jitter for a clock output on a regular I/O in integer PLL ($f_{\text{OUT}} < 100$ MHz)	—	—	60	mUI (p-p)
$t_{\text{FOUTCCJ_IO}}^{(170), (172), (173)}$	Cycle-to-cycle Jitter for a clock output on a regular I/O in fractional PLL ($f_{\text{OUT}} \geq 100$ MHz)	—	—	600	ps (p-p)
	Cycle-to-cycle Jitter for a clock output on a regular I/O in fractional PLL ($f_{\text{OUT}} < 100$ MHz)	—	—	60	mUI (p-p)
$t_{\text{CASC_OUTPJ_DC}}^{(170), (174)}$	Period Jitter for a dedicated clock output in cascaded PLLs ($f_{\text{OUT}} \geq 100$ MHz)	—	—	175	ps (p-p)
	Period Jitter for a dedicated clock output in cascaded PLLs ($f_{\text{OUT}} < 100$ MHz)	—	—	17.5	mUI (p-p)

⁽¹⁷²⁾ 外部存储器接口时钟输出抖动规范使用一个不同的测量方法，请参考“Arria V GZ 器件的存储器输出时钟抖动规范”表。

⁽¹⁷³⁾ 此规范仅涵盖用于低带宽的小数分频。对于小数分频值范围 0.05 – 0.95， f_{VCO} 必须 ≥ 1000 MHz。

⁽¹⁷⁴⁾ 级联 PLL 规范仅应用在以下条件：

- Upstream PLL: $0.59\text{MHz} \leq \text{Upstream PLL BW} < 1\text{ MHz}$
- Downstream PLL: $\text{Downstream PLL BW} > 2\text{ MHz}$

符号	参数	Min	Typ	Max	单位
dK_{BIT}	Bit number of Delta Sigma Modulator (DSM)	8	24	32	Bits
k_{VALUE}	Numerator of Fraction	128	8388608	2147483648	—
f_{RES}	Resolution of VCO frequency ($f_{INPFD} = 100$ MHz)	390625	5.96	0.023	Hz

相关链接

- [占空比失真 \(DCD\) 规范](#) (第 2-57 页)
- [DLL 范围规范](#) (第 2-54 页)

DSP 模块规范

表 2-35: Arria V GZ 器件的 DSP 模块性能规范

模式	性能			单位
	C3, I3L	C4	I4	
使用一个 DSP 模块的模式				
Three 9×9	480	420		MHz
One 18×18	480	420	400	MHz
Two partial 18×18 (or 16×16)	480	420	400	MHz
One 27×27	400	350		MHz
One 36×18	400	350		MHz
One sum of two 18×18 (One sum of two 16×16)	400	350		MHz
One sum of square	400	350		MHz
One 18×18 plus $36(a \times b) + c$	400	350		MHz
使用两个 DSP 模块的模式				

模式	性能			单位
	C3, I3L	C4	I4	
Three 18 × 18	400	350		MHz
One sum of four 18 × 18	380	300		MHz
One sum of two 27 × 27	380	300	290	MHz
One sum of two 36 × 18	380	300		MHz
One complex 18 × 18	400	350		MHz
One 36 × 36	380	300		MHz
使用三个 DSP 模块的模式				
One complex 18 × 25	340	275	265	MHz
使用四个 DSP 模块的模式				
One complex 27 × 27	350	310		MHz

存储器模块规范

表 2-36: Arria V GZ 器件的存储器模块规范

要实现存储器模块的最大性能，需要使用一个通过片上 PLL 的全局时钟布线的存储器模块时钟，并设置成 50%输出占空比。使用 Quartus II 软件报告存储器模块时钟方案的时序。

当使用错误检测循环冗余校验（CRC）功能时，F_{MAX} 没有降级(degradation)。



储存器	模式	使用的资源		性能				单位
		ALUT	储存器	C3	C4	I3L	I4	
MLAB	单端口, 所有支持的宽度	0	1	400	315	400	315	MHz
	简单双端口, x32/x64 深	0	1	400	315	400	315	MHz
	简单双端口, x16 深 ⁽¹⁷⁵⁾	0	1	533	400	533	400	MHz
	ROM, 所有支持的宽度	0	1	500	450	500	450	MHz
M20K 模块	单端口, 所有支持的宽度	0	1	650	550	500	450	MHz
	简单双端口, 所有支持的宽度	0	1	650	550	500	450	MHz
	read-during-write 选项设为 Old Data 的简单双端口, 所有支持的宽度	0	1	455	400	455	400	MHz
	ECC 使能的简单双端口, 512 × 32	0	1	400	350	400	350	MHz
	ECC 和可选的流水线寄存器使能的简单双端口, 512 × 32	0	1	500	450	500	450	MHz
	真双端口, 所有支持的宽度	0	1	650	550	500	450	MHz
	ROM, 所有支持的宽度	0	1	650	550	500	450	MHz

温度传感二极管规范

表 2-37: 内部温度传感二极管规范

温度范围	精度	偏移校准选项	采样率	转换时间	分辨率	无失码的最小分辨率
- 40°C 到 100°C	±8°C	No	1 MHz, 500 kHz	< 100 ms	8 bits	8 bits

⁽¹⁷⁵⁾ 仅当 Fitter 选项 **MLAB Implementation In 16-Bit Deep Mode** 使能时, F_{MAX} 规范才可实现。

表 2-38: Arria V GZ 器件的外部温度传感二极管规范—初步

说明	Min	Typ	Max	单位
I_{bias} , 二极管源电流	8	—	200	μA
V_{bias} , 跨二极管电压	0.3	—	0.9	V
串联电阻	—	—	< 1	Ω
二极管理想因数 (diode ideality factor)	1.006	1.008	1.010	—

外设性能

I/O 性能支持几种系统接口，例如：**LVDS** 高速 I/O 接口，外部存储器接口和 **PCI/PCI-X** 总线接口。诸如 3.3-、2.5-、1.8-和 1.5-LVTTL/LVCMOS 的通用 I/O 标准支持典型的 167 MHz 和 10 pF 加载的 100 MHz 接口频率上的 1.2-LVCMOS。

注意：实际可达到的频率取决于设计和系统具体因素。要确保您设计中的正确时序收敛并根据具体的设计和系统设置来执行 HSPICE/IBIS 仿真，以确定在您的系统中能达到的最大频率。

高速 I/O 规范

高速时钟规范

表 2-39: Arria V GZ 器件的高速时钟规范

当 J = 3 到 10 时，使用串化器/解串器(SERDES)模块。

当 J = 1 或 2 时，旁路 SERDES 模块。

符号	条件	C3, I3L			C4, I4			单位
		Min	Typ	Max	Min	Typ	Max	
$f_{\text{HCLK_in}}$ (输入时钟频率) 真差分 I/O 标准 ⁽¹⁷⁶⁾	时钟增强因子(clock boost factor) $W = 1 \text{ to } 40$ ⁽¹⁷⁷⁾	5	—	625	5	—	525	MHz
$f_{\text{HCLK_in}}$ (输入时钟频率) 单端 I/O 标准	时钟增强因子 $W = 1 \text{ to } 40$ ⁽¹⁷⁷⁾	5	—	625	5	—	525	MHz
$f_{\text{HCLK_in}}$ (输入时钟频率) 单端 I/O 标准	时钟增强因子 $W = 1 \text{ to } 40$ ⁽¹⁷⁷⁾	5	—	420	5	—	420	MHz
$f_{\text{HCLK_OUT}}$ (输出时钟频率)	—	5	—	625 ⁽¹⁷⁸⁾	5	—	525 ⁽¹⁷⁸⁾	MHz

发送器高速 I/O 规范

表 2-40: Arria V GZ 器件的发送器高速 I/O 规范

当 $J = 3$ 到 10 时, 使用串化器/解串器(SERDES)模块。

当 $J = 1$ 或 2 时, 旁路 SERDES 模块。

⁽¹⁷⁶⁾ 仅应用于 DPA 和 soft-CDR 模式。

⁽¹⁷⁷⁾ 时钟增强因子(W)是输入数据速率与输入时钟速率之间的比率。

⁽¹⁷⁸⁾ 通过使用 LVDS 时钟网络实现。

符号	条件	C3, I3L			C4, I4			单位
		Min	Typ	Max	Min	Typ	Max	
真差分 I/O 标准 - f_{HSDR} (数据速率)	SERDES factor J = 3 to 10 (179), (180)	(181)	—	1250	(181)	—	1050	Mbps
	SERDES factor J $\geq$ 4 LVDS TX with DPA (182), (183), (184), (185)	(181)	—	1600	(181)	—	1250	Mbps
	SERDES factor J = 2, 使用 DDR Registers	(181)	—	(186)	(181)	—	(186)	Mbps
	SERDES factor J = 1, 使用 SDR Register	(181)	—	(186)	(181)	—	(186)	Mbps
具有三个外部输出电阻网络的仿真差分 I/O 标准 - f_{HSDR} (数据速率) (187)	SERDES 因子 J = 4 to 10	(181)	—	840	(181)	—	840	Mbps

(179) 如果 DPA 使能的接收器和发送器使用共享的 PLL，那么最小数据速率是 150 Mbps。

(180) F_{MAX} 规范基于用于串行数据的快速时钟。接口 F_{MAX} 也取决于依赖于设计并要求时序分析的并行时钟域。

(181) 最小规范取决于您使用的时钟源 (例如 PLL 和时钟管脚) 和时钟布线资源 (全局，局部和本地)。I/O 差分缓存和输入寄存器没有最小翻转率。

(182) Arria V GZ RX LVDS 将需要 DPA。对于 Arria V GZ TX LVDS，接收器侧组件必须要有 DPA。

(183) 需要具有 PCB 走线长度的封装偏移补偿。

(184) 不要混合 LVDS I/O 组中的单端 I/O 缓存。

(185) 5 pF 最大加载的芯片到芯片通信。

(186) 最大的理想数据速率是 SERDES 因子 (J) x PLL 最大输出频率(f_{OUT})，前提是您能够关闭设计时序并且信号完整性仿真是干净的。

(187) 您必须通过执行链路时序收敛分析计算出接收器中剩余的时序裕量。您必须考虑电路板偏移裕量，发送器通道至通道偏移以及接收器采样裕量以决定剩余时序裕量。

符号	条件	C3, I3L			C4, I4			单位
		Min	Typ	Max	Min	Typ	Max	
$t_{x \text{ Jitter}}$ - 真差分 I/O 标准	数据速率的总抖动 600 Mbps - 1.25 Gbps	—	—	160	—	—	160	ps
	数据速率的总抖动 < 600 Mbps	—	—	0.1	—	—	0.1	UI
$t_{x \text{ Jitter}}$ - 具有三个外部输出电阻网络的仿真差分 I/O 标准	数据速率的总抖动 600 Mbps - 1.25 Gbps	—	—	300	—	—	325	ps
	数据速率的总抖动 < 600 Mbps	—	—	0.2	—	—	0.25	UI
t_{DUTY}	真和仿真差分 I/O 标准的发送器输出时钟占空比	45	50	55	45	50	55	%
$t_{\text{RISE}} \& t_{\text{FALL}}$	真差分 I/O 标准	—	—	200	—	—	200	ps
	具有三个外部输出电阻网络的仿真差分 I/O 标准	—	—	250	—	—	300	ps
TCCS	真差分 I/O 标准	—	—	150	—	—	150	ps
	仿真差分 I/O 标准	—	—	300	—	—	300	ps

接收器高速 I/O 规范

表 2-41: Arria V GZ 器件的接收器高速 I/O 规范

当 J = 3 到 10 时，使用串化器/解串器(SERDES)模块。

当 J = 1 或 2 时，旁路 SERDES 模块。

符号	条件	C3, I3L			C4, I4			单位
		Min	Typ	Max	Min	Typ	Max	
真差分 I/O 标准 - f _{HSDRDPA} (数据速率)	SERDES factor J = 3 to 10 (188), (189), (190), (191), (192), (193)	150	—	1250	150	—	1050	Mbps
	SERDES factor J ≥ 4 LVDS RX with DPA (189), (191), (192), (193)	150	—	1600	150	—	1250	Mbps
	SERDES factor J = 2, 使用 DDR Registers	(194)	—	(195)	(194)	—	(195)	Mbps
	SERDES factor J = 1, 使用 SDR Register	(194)	—	(195)	(194)	—	(195)	Mbps

(188) F_{MAX} 规范基于用于串行数据的快速时钟。接口 F_{MAX} 也取决于依赖于设计并要求时序分析的并行时钟域。

(189) Arria V GZ RX LVDS 将需要 DPA。对于 Arria V GZ TX LVDS，接收器侧组件必须要有 DPA。

(190) Arria V GZ LVDS 串化和解串因子要为 x4 或者更高。

(191) 需要具有 PCB 走线长度的封装偏移补偿。

(192) 不要混合 LVDS I/O 组中的单端 I/O 缓存。

(193) 5 pF 最大加载的芯片到芯片通信。

(194) 最小规范取决于您使用的时钟源 (例如 PLL 和时钟管脚)和时钟布线资源 (全局，局部和本地)。I/O 差分缓存和输入寄存器没有最小翻转率。

(195) 最大的理想数据速率是 SERDES 因子 (J) x PLL 最大输出频率(f_{OUT})，前提是您能够关闭设计时序并且信号完整性仿真是干净的。



符号	条件	C3, I3L			C4, I4			单位
		Min	Typ	Max	Min	Typ	Max	
f _{HSDR} (数据速率)	SERDES factor J = 3 to 10	(194)	—	(196)	(194)	—	(196)	Mbps
	SERDES factor J = 2, 使用 DDR Registers	(194)	—	(195)	(194)	—	(195)	Mbps
	SERDES factor J = 1, 使用 SDR Register	(194)	—	(195)	(194)	—	(195)	Mbps

DPA 模式高速 I/O 规范

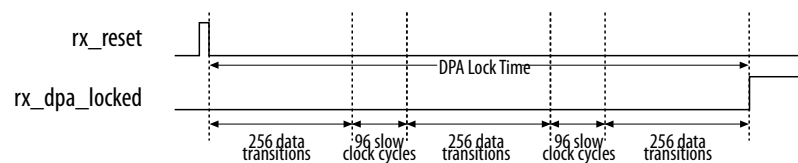
表 2-42: Arria V GZ 器件的高速 I/O 规范

当 J = 3 到 10 时，使用串化器/解串器(SERDES)模块。

当 J = 1 或 2 时，旁路 SERDES 模块。

符号	条件	C3, I3L			C4, I4			单位
		Min	Typ	Max	Min	Typ	Max	
DPA 运行长度	—	—	—	10000	—	—	10000	UI

图 2-3: DPA PLL 校准使能的 DPA 锁定时间规范



⁽¹⁹⁶⁾ 通过执行链路时序收敛分析能够评估非 DPA 模式的可实现最大数据速率。您必须考虑电路板偏移裕量，发送器延迟裕量以及接收器采样裕量以决定支持的最大数据速率。

表 2-43: Arria V GZ 器件的 DPA 锁定时间规范

DPA 锁定时间用于一个通道。

一个数据跳变定义为一个 0 到 1 或 1 到 0 的跳变。

此表中的 DPA 锁定时间应用于商业以及工业等级。

标准	训练码型 (training pattern)	在训练码型的一次重复中的数据跳变次数	每 256 个数据跳变的重复次数 ⁽¹⁹⁷⁾	最大值
SPI-4	00000000001111111111	2	128	640 个数据跳变
并行快速 I/O	00001111	2	128	640 个数据跳变
	10010000	4	64	640 个数据跳变
其他	10101010	8	32	640 个数据跳变
	01010101	8	32	640 个数据跳变

Soft CDR 模式高速 I/O 规范

表 2-44: Arria V GZ 器件的高速 I/O 规范

当 J = 3 到 10 时, 使用串化器/解串器(SERDES)模块。

当 J = 1 或 2 时, 旁路 SERDES 模块。

符号	条件	C3, I3L			C4, I4			单位
		Min	Typ	Max	Min	Typ	Max	
Soft-CDR ppm 容限	—	—	—	300	—	—	300	± ppm

⁽¹⁹⁷⁾ 这是所述训练码型达到 256 个数据跳变的重复次数。

图 2-4: 大于等于 1.25 Gbps 数据速率的 LVDS Soft-CDR/DPA 正弦抖动容限规范

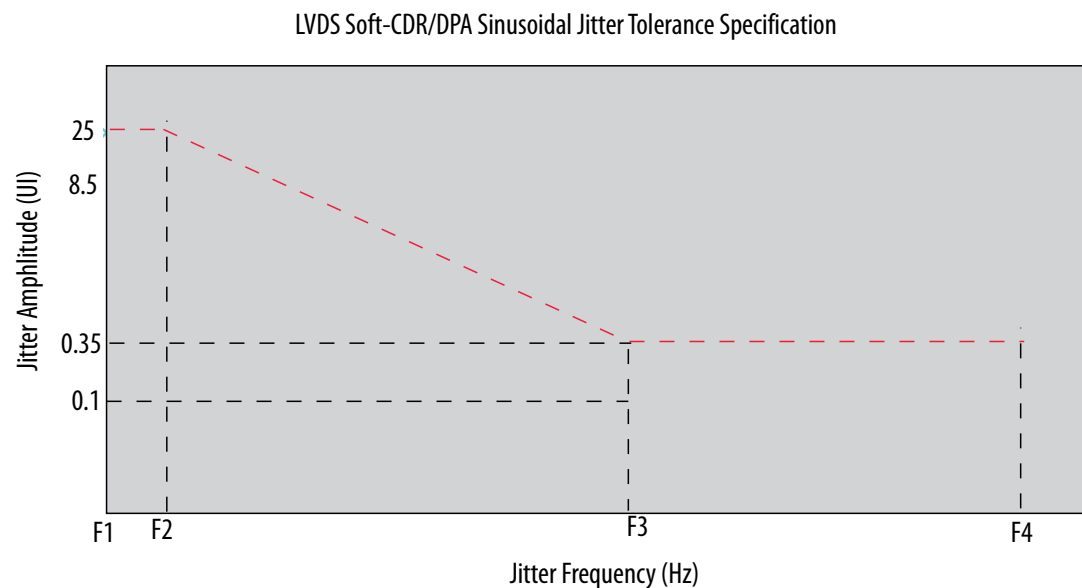
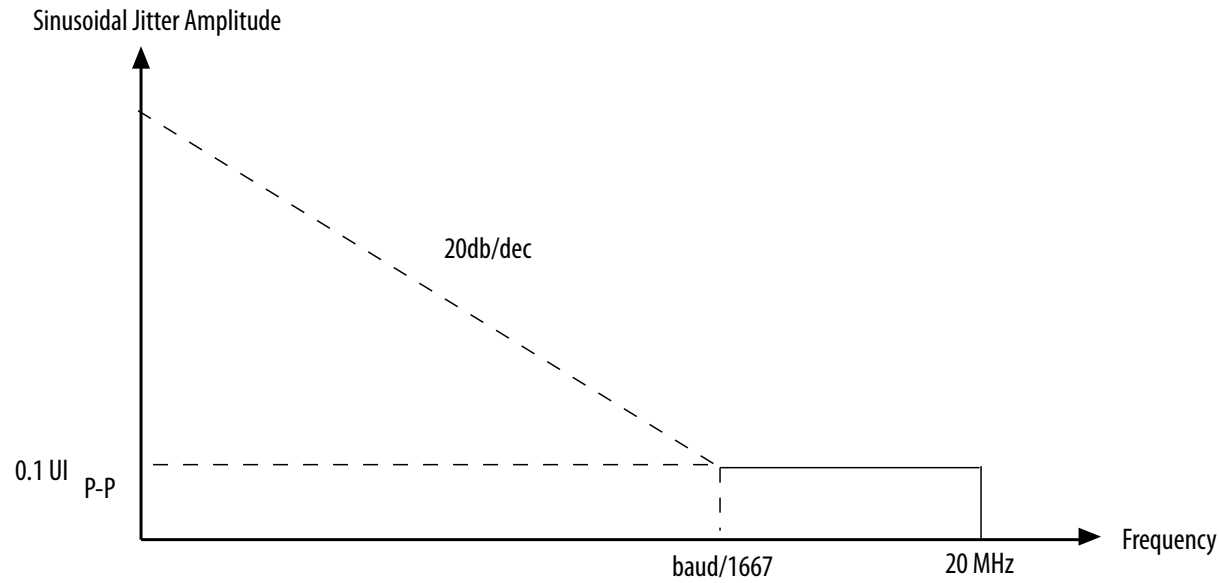


表 2-45: 大于等于 1.25 Gbps 数据速率的 LVDS Soft-CDR/DPA 正弦抖动掩码值

抖动频率 (Hz)		正弦抖动 (UI)
F1	10,000	25.000
F2	17,565	25.000
F3	1,493,000	0.350
F4	50,000,000	0.350

图 2-5: 小于 1.25 Gbps 数据速率的 LVDS Soft-CDR/DPA 正弦抖动容限规范



非 DPA 模式高速 I/O 规范

表 2-46: Arria V GZ 器件的高速 I/O 规范

当 J = 3 到 10 时，使用串化器/解串器(SERDES)模块。
当 J = 1 或 2 时，旁路 SERDES 模块。

符号	条件	C3, I3L			C4, I4			单位
		Min	Typ	Max	Min	Typ	Max	
采样窗口	—	—	—	300	—	—	300	ps

DLL 范围规范

表 2-47: Arria V GZ 器件的 DLL 范围规范

尽管驱动 DLL 的参考时钟必须至少要 300 MHz，但 Arria V GZ 器件支持低于 300 MHz 的存储器接口频率。要支持低于 300 MHz 的接口，需要增加驱动 DLL 的参考时钟以确保频率在支持的范围内。

参数	C3, I3L	C4, I4	单位
DLL operating frequency range	300 – 890	300 – 890	MHz

DQS 逻辑模块规范

表 2-48: Arria V GZ 器件每个设置的 DQS 相位偏移延迟

典型值等于最大和最小值的平均值。

对于所有速度等级，延迟设置与 40 ps 的累计延迟变化呈线性关系。例如，当使用 -3 速度等级，并将 10-phase offset setting 应用到 400 MHz 上的 90° phase shift，预期的平均累计延迟是 $[625 \text{ ps} + (10 \times 11 \text{ ps}) \pm 20 \text{ ps}] = 735 \text{ ps} \pm 20 \text{ ps}$ 。

速度等级	Min	Max	单位
C3, I3L	8	15	ps
C4, I4	8	16	ps

表 2-49: Arria V GZ 器件的 DLL 延迟时钟($t_{\text{DQS_PSERR}}$)的 DQS 相移误差规范

此误差规范是绝对最大和最小误差。例如：-3 速度等级下的三个 DQS 延迟缓存上偏移是 $\pm 84 \text{ ps}$ 或 $\pm 42 \text{ ps}$ 。

DQS 延迟缓存的数量	C3, I3L	C4, I4	单位
1	30	32	ps
2	60	64	ps
3	90	96	ps
4	120	128	ps

存储器输出时钟抖动规范

表 2-50: Arria V GZ 器件的存储器输出时钟抖动规范

时钟抖动规范适用于使用差分信号分离器和 DDIO 电路生成的存储器输出时钟管脚，DDIO 电路由布线在 PHY，局域和全局时钟网络的 PLL 输出提供时钟。Altera 建议尽可能使用 PHY 时钟网络。

时钟抖动规范应用于由整形 PLL 钟控的存储器输出时钟管脚。

当通过误码率 (BER) - 12 (等同于 14 sigma) 应用 30 ps peak-to-peak 的输入抖动时，可以应用存储器输出时钟抖动。

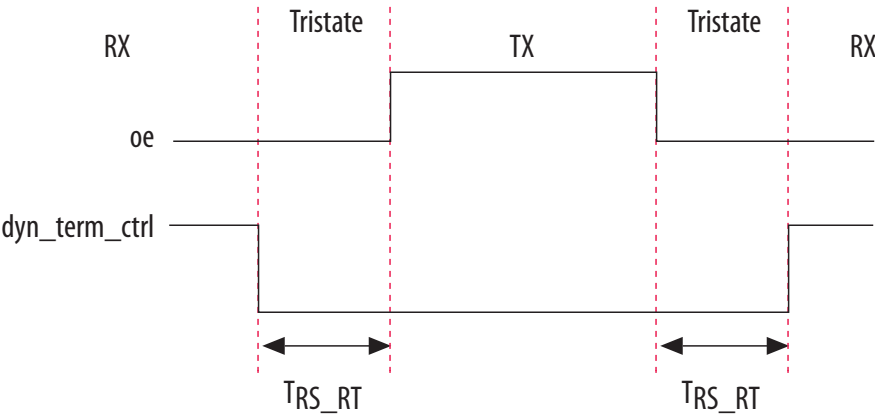
时钟网络	参数	符号	C3, I3L		C4, I4		单位
			Min	Max	Min	Max	
局域 (Regional)	Clock period jitter	$t_{JIT(per)}$	- 55	55	- 55	55	ps
	Cycle-to-cycle period jitter	$t_{JIT(cc)}$	- 110	110	- 110	110	ps
	Duty cycle jitter	$t_{JIT(duty)}$	- 82.5	82.5	- 82.5	82.5	ps
全局(Global)	Clock period jitter	$t_{JIT(per)}$	- 82.5	82.5	- 82.5	82.5	ps
	Cycle-to-cycle period jitter	$t_{JIT(cc)}$	- 165	165	- 165	165	ps
	Duty cycle jitter	$t_{JIT(duty)}$	- 90	90	- 90	90	ps
PHY 时钟	Clock period jitter	$t_{JIT(per)}$	- 30	30	- 35	35	ps
	Cycle-to-cycle period jitter	$t_{JIT(cc)}$	- 60	60	- 70	70	ps
	Duty cycle jitter	$t_{JIT(duty)}$	- 45	45	- 56	56	ps

OCT 校准模块规范

表 2-51: Arria V GZ 器件的 OCT 校准模块规范

符号	说明	Min	Typ	Max	单位
OCTUSRCLK	OCT 校准模块所需要的时钟	—	—	20	MHz
T _{OCTCAL}	OCT R _S /R _T 校准所需要的 OCTUSRCLK 时钟周期数	—	1000	—	Cycles
T _{OCTSHIFT}	移出 OCT 代码所需要的 OCTUSRCLK 时钟周期数	—	32	—	Cycles
T _{RS_RT}	双向 I/O 缓存中 dyn_term_ctrl 与 oe 信号跳变以在 OCT R _S 与 R _T 之间进行动态切换所需要的时间(请参见下图)。	—	2.5	—	ns

图 2-6: oe 和 dyn_term_ctrl 信号的时序图



占空比失真 (DCD)规范

表 2-52: Arria V GZ I/O 管脚上的最坏情况 DCD

DCD 数量不包括内核时钟网络。

符号	C3, I3L		C4, I4		单位
	Min	Max	Min	Max	
输出占空比	45	55	45	55	%

配置规范

POR 规范

表 2-53: Arria V GZ 器件的快速和标准 POR 延迟规范

根据 *Arria V 器件的配置*，设计安全和远程系统更新章节中的“Arria V 器件的配置方案”表中描述的 MSEL 设置对 POR 延迟进行选择。

POR 延迟	Minimum (ms)	Maximum (ms)
快速(Fast)	4	12 ⁽¹⁹⁸⁾
标准(Standard)	100	300

相关链接

[Arria V 器件的配置、设计安全和远程系统更新](#)

⁽¹⁹⁸⁾ 快速 POR 延迟的最大脉冲宽度是 12 ms，对 PCIe hard IP 在 POR trip 后进行初始化提供了足够时间。

JTAG 配置规范

表 2-54: Arria V GZ 器件的 JTAG 时序参数和值

符号	说明	Min	Max	单位
t_{JCP}	TCK 时钟周期	30	—	ns
t_{JCP}	TCK 时钟周期	167 ⁽¹⁹⁹⁾	—	ns
t_{JCH}	TCK 时钟高时间	14	—	ns
t_{JCL}	TCK 时钟低时间	14	—	ns
t_{JPSU} (TDI)	TDI JTAG 端口建立时间	2	—	ns
t_{JPSU} (TMS)	TMS JTAG 端口建立时间	3	—	ns
t_{JPH}	JTAG 端口保持时间	5	—	ns
t_{JPCO}	JTAG 端口时钟到输出	—	11 ⁽²⁰⁰⁾	ns
t_{JPZX}	JTAG 端口高阻抗到有效输出	—	14 ⁽²⁰⁰⁾	ns
t_{JPXZ}	JTAG 端口有效输出到高阻抗	—	14 ⁽²⁰⁰⁾	ns

快速被动并行(FPP)配置时序

FPP 配置的 DCLK 与 DATA[]比率(r)

当开启加密或压缩功能时，FPP 配置需要一个不同的 DCLK 与 DATA[]的比率。

⁽¹⁹⁹⁾ 如果执行易失性密钥编程时 VCCBAT 在 1.2V-1.5V 范围内，那么最小 TCK 时钟周期是 167 ns。

⁽²⁰⁰⁾ 每个从 3.0 V 的 V_{CCIO} 压降都需要一个 1-ns 加法器。例如，如果 TDO I/O bank 的 V_{CCIO} = 2.5 V，那么 t_{JPCO} = 12 ns，或者如果等于 1.8 V，那么就是 13 ns。

表 2-55: Arria V GZ 器件的 DCLK 与 DATA[]比率

根据 DCLK 与 DATA[]的比率，主机(host)必须发送一个 DCLK 频率，此频率为 r 乘以数据速率，单位为字节每秒(Bps)或字每秒(Wps)。例如，在 FPP ×16 中，当 DCLK 与 DATA[]比率是 2 时，DCLK 频率必须是 2 乘以数据速率(单位是 Wps)。Arria V GZ 器件使用额外的时钟周期对配置数据进行解密和解压缩。

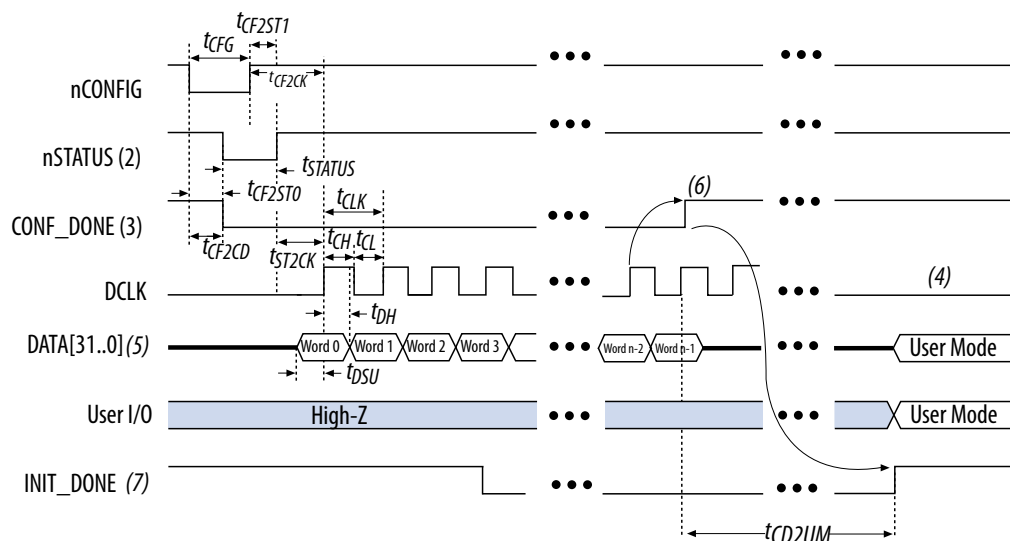
配置方案	解压	设计安全性	DCLK 与 DATA[]的比率
FPP ×8	禁用	禁用	1
	禁用	使能	1
	使能	禁用	2
	使能	使能	2
FPP ×16	禁用	禁用	1
	禁用	使能	2
	使能	禁用	4
	使能	使能	4
FPP ×32	禁用	禁用	1
	禁用	使能	4
	使能	禁用	8
	使能	使能	8



当 DCLK-to-DATA[] Ratio =1 时的 FPP 配置时序

图 2-7: 当 DCLK-to-DATA[] Ratio = 1 时的 FPP 配置时序波形

当使用一个 MAX[®] II 或 MAX V 器件作为外部主机时的 FPP 配置的时序波形。



注释:

1. 此波形的起始显示器件在用户模式。在用户模式中, nCONFIG, nSTATUS 和 CONF_DONE 处于逻辑高电平。当 nCONFIG 拉低时, 重配置周期开始。
2. 上电后, Arria V GZ 器件保持 nSTATUS 低电平为 POR 延迟时间。
3. 上电后, 配置前和配置过程中, CONF_DONE 为低电平。
4. 配置后不要使 DCLK 悬空。配置完成后, DCLK 被忽略。它能够根据需要翻转为高或低电平。
5. 对于 FPP x16, 使用 DATA[15..0]。对于 FPP x8, 使用 DATA[7..0]。配置后 DATA[31..0] 可用作用户 I/O 管脚。此管脚的状态取决于复用管脚设置。
6. 要确保配置成功, 就要发送整个配置数据到 Arria V GZ 器件。当 Arria V GZ 器件成功接收到所有配置数据后, CONF_DONE 被释放成高电平。CONF_DONE 变高后, 发送 DCLK 上的两个额外的下降沿以开始初始化并进入用户模式。
7. 当用于使能 INIT_DONE 管脚的选项比特配置到器件中后, INIT_DONE 变低。

注意: 当您使能解压缩或设计安全功能时, DCLK-to-DATA[] 比率对于 FPP ×8, FPP ×16 和 FPP ×32 是不同的。关于相应的 DCLK-to-DATA[] 比率, 请参考“Arria V GZ 器件的 DCLK-to-DATA[] 比率”表。

表 2-56: 当 DCLK-to-DATA[] Ratio=1 时的 Arria V GZ 器件的 FPP 时序参数

当解压缩和设计安全功能禁用时使用这些时序参数。

符号	参数	最小值	最大值	单位
t_{CF2CD}	nCONFIG low to CONF_DONE low	—	600	ns
t_{CF2ST0}	nCONFIG low to nSTATUS low	—	600	ns
t_{CFG}	nCONFIG low pulse width	2	—	μs
t_{STATUS}	nSTATUS low pulse width	268	1,506 ⁽²⁰¹⁾	μs
t_{CF2ST1}	nCONFIG high to nSTATUS high	—	1,506 ⁽²⁰²⁾	μs
t_{CF2CK} (203)	nCONFIG high to first rising edge on DCLK	1,506	—	μs
t_{ST2CK} (203)	nSTATUS high to first rising edge of DCLK	2	—	μs
t_{DSU}	DATA[] setup time before rising edge on DCLK	5.5	—	ns
t_{DH}	DATA[] hold time after rising edge on DCLK	0	—	ns
t_{CH}	DCLK high time	$0.45 \times 1/f_{MAX}$	—	s
t_{CL}	DCLK low time	$0.45 \times 1/f_{MAX}$	—	s
t_{CLK}	DCLK period	$1/f_{MAX}$	—	s

⁽²⁰¹⁾ 如果不通过扩展 nCONFIG 或 nSTATUS 低脉冲宽度来延迟配置, 那么可使用该值。

⁽²⁰²⁾ 如果不通过从外部保持 nSTATUS 低电平来延迟配置, 那么可使用该值。

⁽²⁰³⁾ 如果 nSTATUS 被监控, 那么遵循 t_{ST2CK} 规范。如果 nSTATUS 没被监控, 那么遵循 t_{CF2CK} 规范。

符号	参数	最小值	最大值	单位
f_{MAX}	DCLK frequency (FPP $\times 8/\times 16$)	—	125	MHz
	DCLK frequency (FPP $\times 32$)	—	100	MHz
t_{CD2UM}	CONF_DONE high to user mode ⁽²⁰⁴⁾	175	437	μs
t_{CD2CU}	CONF_DONE high to CLKUSR enabled	$4 \times \text{maximum DCLK period}$	—	—
t_{CD2UMC}	CONF_DONE high to user mode with CLKUSR option on	$t_{\text{CD2CU}} + (17,408 \times \text{CLKUSR period})$ ⁽²⁰⁵⁾	—	—

相关链接

- [FPP 配置的 DCLK 与 DATA\[\] 比率\(r\)](#) (第 2-58 页)
- [Arria V 器件的配置、设计安全和远程系统更新](#)

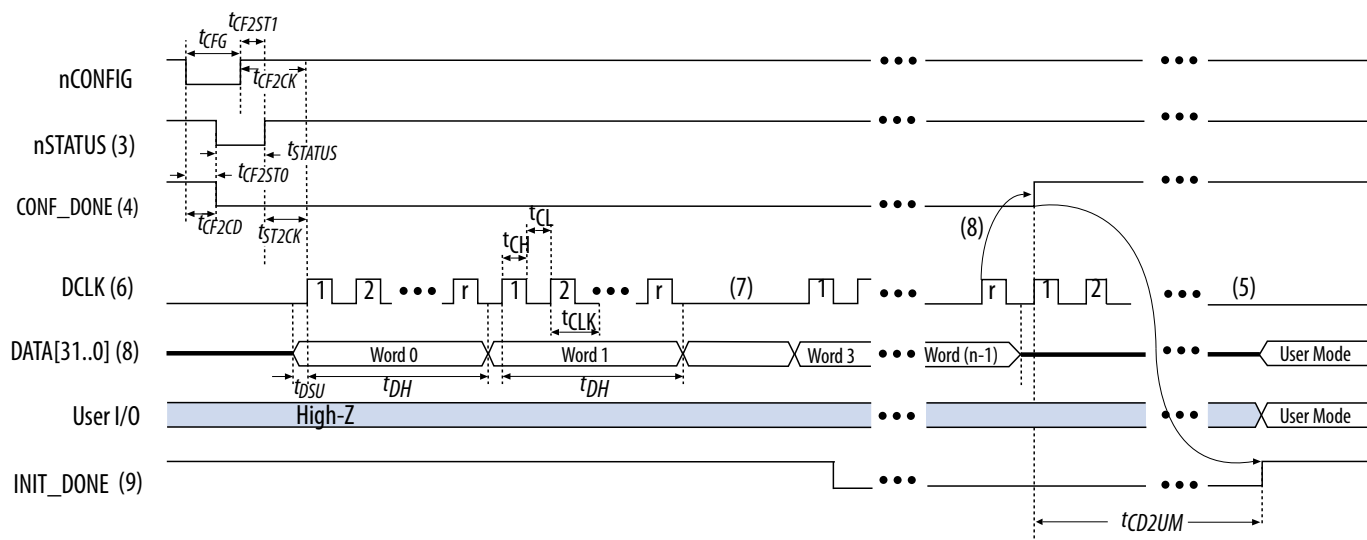
⁽²⁰⁴⁾ 最小和最大数量仅在您选择内部振荡器作为初始化器件的时钟源时适用。

⁽²⁰⁵⁾ 要使能 CLKUSR 管脚作为初始化时钟源和获得这些管脚上的最大频率规范，请参考 *Arria V 器件的配置、设计安全和远程系统更新* 章节中的“初始化”部分。

当 DCLK-to-DATA[] Ratio > 1 时的 FPP 配置时序

图 2-8: 当 DCLK-to-DATA[] Ratio > 1 时的 FPP 配置时序波形

当使用 MAX II 器件, MAX V 器件或微处理器作为外部主机时的时序。



注释:

1. 要了解您系统的DCLK-to-DATA[] ratio, 请参考"DCLK-to-DATA[] Ratio for Arria V GZ Devices"表。
2. 此波形的起始显示器件在用户模式。在用户模式中, nCONFIG, nSTATUS 和CONF_DONE处于逻辑高电平。当nCONFIG拉低时, 重配置周期开始。
3. 上电后, Arria V GZ器件保持nSTATUS 低电平为指定的POR延迟时间。
4. 上电后, 配置前和配置过程中, CONF_DONE为低电平。
5. 配置后不要使DCLK悬空。配置完成后, DCLK被忽略。它能够根据需要翻转为高或低电平。
6. "r" 代表DCLK-to-DATA[] ratio。关于基于解压缩和设计安全特性使能设置的DCLK-to-DATA[] ratio, 请参考 "DCLK-to-DATA[] Ratio for Arria V GZ Devices"表。
7. 如果需要, 通过拉低暂停DCLK。当DCLK重开始时, 外部主机在发送第一个DCLK上升沿前必须在DATA[31..0]管脚上提供数据。
8. 要确保配置成功, 就要发送整个配置数据到Arria V GZ器件。当Arria V GZ器件成功接收到所有配置数据后, CONF_DONE被释放成高电平。CONF_DONE变高后, 发送DCLK上的两个额外的下降沿以开始初始化并进入用户模式。
9. 当用于使能INIT_DONE管脚的选项比特配置到器件中后, INIT_DONE变低。

表 2-57: 当 DCLK-to-DATA[] Ratio>1 时的 Arria V GZ 器件的 FPP 时序参数

当使用解压缩和设计安全功能时，使用这些时序参数。

符号	参数	最小	最大	单位
t_{CF2CD}	nCONFIG low to CONF_DONE low	—	600	ns
t_{CF2ST0}	nCONFIG low to nSTATUS low	—	600	ns
t_{CFG}	nCONFIG low pulse width	2	—	μs
t_{STATUS}	nSTATUS low pulse width	268	1,506 ⁽²⁰⁶⁾	μs
t_{CF2ST1}	nCONFIG high to nSTATUS high	—	1,506 ⁽²⁰⁷⁾	μs
t_{CF2CK} ⁽²⁰⁸⁾	nCONFIG high to first rising edge on DCLK	1,506	—	μs
t_{ST2CK} ⁽²⁰⁸⁾	nSTATUS high to first rising edge of DCLK	2	—	μs
t_{DSU}	DATA[] setup time before rising edge on DCLK	5.5	—	ns
t_{DH}	DATA[] hold time after rising edge on DCLK	$N - 1/f_{DCLK}$ ⁽²⁰⁹⁾	—	s
t_{CH}	DCLK high time	$0.45 \times 1/f_{MAX}$	—	s
t_{CL}	DCLK low time	$0.45 \times 1/f_{MAX}$	—	s
t_{CLK}	DCLK period	$1/f_{MAX}$	—	s
f_{MAX}	DCLK frequency (FPP $\times 8/\times 16$)	—	125	MHz
	DCLK frequency (FPP $\times 32$)	—	100	MHz
t_R	Input rise time	—	40	ns
t_F	Input fall time	—	40	ns

⁽²⁰⁶⁾ 如果不通过扩展 nCONFIG 或 nSTATUS 低脉冲宽度来延迟配置，那么可以使用此值。

⁽²⁰⁷⁾ 如果不通过从外部保持 nSTATUS 低电平来延迟配置，那么可以使用此值。

⁽²⁰⁸⁾ 如果 nSTATUS 被监控，那么遵循 t_{ST2CK} 规范。如果 nSTATUS 没被监控，那么遵循 t_{CF2CK} 规范。

⁽²⁰⁹⁾ N 是 DCLK-to-DATA 比率， f_{DCLK} 是系统运行的 DCLK 频率。

符号	参数	最小	最大	单位
t _{CD2UM}	CONF_DONE high to user mode ⁽²¹⁰⁾	175	437	μ s
t _{CD2CU}	CONF_DONE high to CLKUSR enabled	4 × maximum DCLK period	—	—
t _{CD2UMC}	CONF_DONE high to user mode with CLKUSR option on	t _{CD2CU} + (17,408 × CLKUSR period) ⁽²¹¹⁾	—	—

相关链接

- [FPP 配置的 DCLK 与 DATA\[\] 比率\(r\)](#) (第 2-58 页)
- [Arria V 器件的配置、设计安全和远程系统更新](#)

⁽²¹⁰⁾ 最小和最大数量仅在您使用内部振荡器作为初始化器件的时钟源时适用。

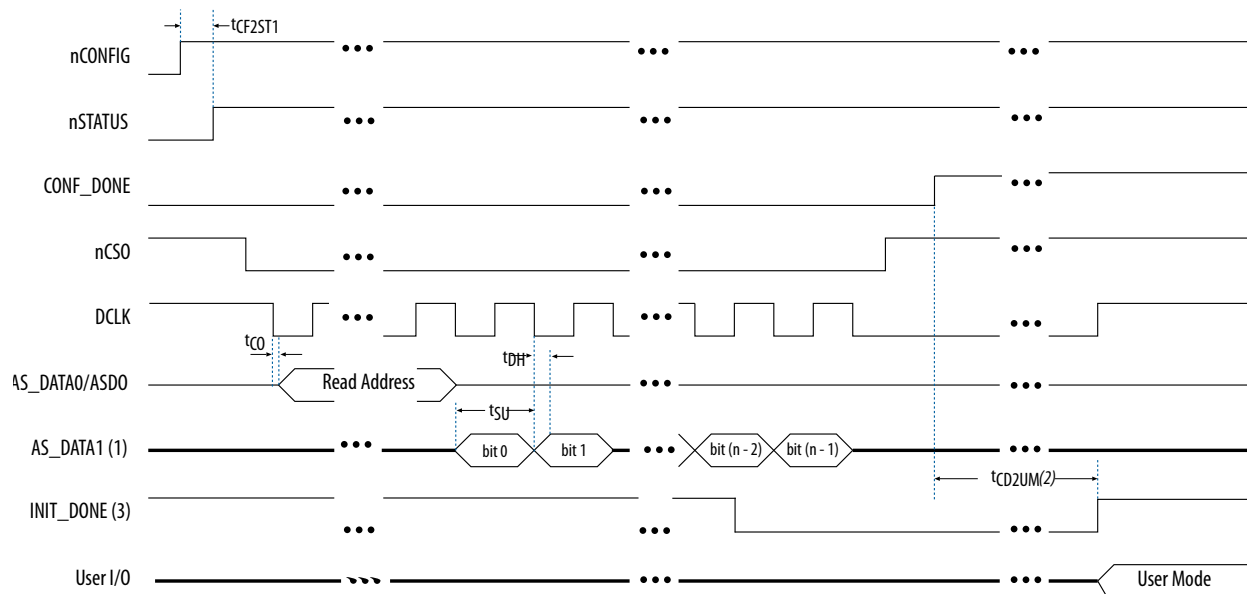
⁽²¹¹⁾ 要使能 CLKUSR 管脚作为初始化时钟源和获得这些管脚上的最大频率规范，请参考 *Arria V 器件的配置、设计安全和远程系统更新* 章节中的“初始化”部分。



主动串行配置时序

图 2-9: AS 配置时序

主动串行(AS) x1 模式和 AS x4 模式配置时序的时序波形。



注释:

1. 如果您使用AS x4模式, 那此信号代表AS_DATA[3..0] EPCQ对每个DCLK周期发送4-bits数据。
2. 初始化时钟来自内部振荡器或CLKUS管脚。
3. 当用于使能INIT_DONE管脚的选项比特配置到器件中后, INIT_DONE变低。

表 2-58: Arria V GZ 器件中的 AS x1 和 AS x4 配置的 AS 时序参数

最小和最大数量仅在您选择了内部振荡器作为启动器件的时钟源时适用。

t_{CF2CD} , t_{CF2ST0} , t_{CFG} , t_{STATUS} 和 t_{CF2ST1} 时序参数与“Arria V GZ 器件的 PS 时序参数”表中列出的 PS 模式的时序参数是相同的。

符号	参数	最小	最大	单位
t _{CO}	DCLK falling edge to AS_DATA0/ASDO output	—	4	ns
t _{SU}	Data setup time before falling edge on DCLK	1.5	—	ns
t _H	Data hold time after falling edge on DCLK	0	—	ns
t _{CD2UM}	CONF_DONE high to user mode ⁽²¹²⁾	175	437	μs
t _{CD2CU}	CONF_DONE high to CLKUSR enabled	4 × maximum DCLK period	—	—
t _{CD2UMC}	CONF_DONE high to user mode with CLKUSR option on	t _{CD2CU} + (17,408 × CLKUSR period)	—	—

表 2-59: AS 配置方案中的 DCLK 频率规范

当内部振荡器用作配置时钟源时此表应用于 DCLK 频率规范。

AS 多器件配置方案不支持 100 MHz 的 DCLK 频率。

最小值	典型	最大	单位
5.3	7.9	12.5	MHz
10.6	15.7	25.0	MHz
21.3	31.4	50.0	MHz
42.6	62.9	100.0	MHz

相关链接

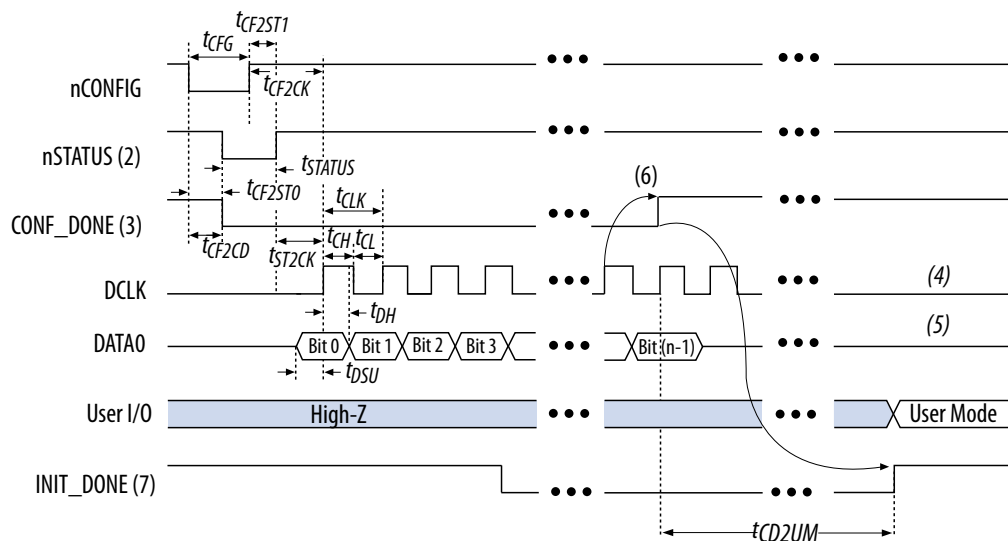
- [被动串行配置时序](#) (第 2-68 页)
- [Arria V 器件的配置、设计安全和远程系统更新](#)

⁽²¹²⁾ 要使能 CLKUSR 管脚作为初始化时钟源和获得这些管脚上的最大频率规范，请参考 *Arria V 器件的配置、设计安全和远程系统更新* 章节中的“初始化”部分。

被动串行配置时序

图 2-10: PS 配置时序波形

当使用 MAX II 器件, MAX V 器件或者微处理器作为外部主机时的被动串行(PS)配置的时序波形。



Notes:

1. 此波形的起始显示器件在用户模式。在用户模式中, nCONFIG, nSTATUS 和 CONF_DONE 处于逻辑高电平。当 nCONFIG 拉低时, 重配置周期开始。
2. 上电后, Arria V GZ 器件保持 nSTATUS 低电平为 POR 延迟时间。
3. 上电后, 配置前和配置过程中, CONF_DONE 为低电平。
4. 配置后不要使 DCLK 悬空。配置完成后, DCLK 被忽略。它能够根据需要翻转为高或低电平。
5. 配置后 DATA0 可用作用户 I/O 管脚。此管脚的状态取决于 Device and Pins Option 中的复用管脚设置。
6. 要确保配置成功, 就要发送整个配置数据到 Arria V GZ 器件。当 Arria V GZ 器件成功接收到所有配置数据后, CONF_DONE 被释放成高电平。CONF_DONE 变高后, 发送 DCLK 上的两个额外的下降沿以开始初始化并进入用户模式。
7. 当用于使能 INIT_DONE 管脚的选项比特配置到器件中后, INIT_DONE 变低。

表 2-60: Arria V GZ 器件的 PS 时序参数

符号	参数	最小值	最大值	单位
t_{CF2CD}	nCONFIG low to CONF_DONE low	—	600	ns
t_{CF2ST0}	nCONFIG low to nSTATUS low	—	600	ns
t_{CFG}	nCONFIG low pulse width	2	—	μs
t_{STATUS}	nSTATUS low pulse width	268	1,506 ⁽²¹³⁾	μs
t_{CF2ST1}	nCONFIG high to nSTATUS high	—	1,506 ⁽²¹⁴⁾	μs
t_{CF2CK} (215)	nCONFIG high to first rising edge on DCLK	1,506	—	μs
t_{ST2CK} (215)	nSTATUS high to first rising edge of DCLK	2	—	μs
t_{DSU}	DATA[] setup time before rising edge on DCLK	5.5	—	ns
t_{DH}	DATA[] hold time after rising edge on DCLK	0	—	ns
t_{CH}	DCLK high time	$0.45 \times 1/f_{MAX}$	—	s
t_{CL}	DCLK low time	$0.45 \times 1/f_{MAX}$	—	s
t_{CLK}	DCLK period	$1/f_{MAX}$	—	s
f_{MAX}	DCLK frequency	—	125	MHz
t_{CD2UM}	CONF_DONE high to user mode ⁽²¹⁶⁾	175	437	μs
t_{CD2CU}	CONF_DONE high to CLKUSR enabled	$4 \times \text{maximum DCLK period}$	—	—

⁽²¹³⁾ 如果不通过扩展 nCONFIG 或 nSTATUS 低脉冲宽度来延迟配置，那么可使用该值。

⁽²¹⁴⁾ 如果不通过从外部保持 nSTATUS 低电平来延迟配置，那么可使用该值。

⁽²¹⁵⁾ 如果 nSTATUS 被监控，那么遵循 t_{ST2CK} 规范。如果 nSTATUS 没被监控，那么遵循 t_{CF2CK} 规范。

⁽²¹⁶⁾ 最小和最大数量仅在您选择了内部振荡器作为初始化器件的时钟源时适用。

符号	参数	最小值	最大值	单位
t_{CD2UMC}	CONF_DONE high to user mode with CLKUSR option on	$t_{CD2CU} + (17,408 \times \text{CLKUSR period})^{(217)}$	—	—

相关链接

[Arria V 器件的配置、设计安全和远程系统更新](#)

初始化

表 2-61: Arria V GZ 器件的初始化时钟源选项和最大频率

初始化时钟源	配置方案	最大频率 (MHz)	最小时钟周期数
内部振荡器	AS, PS, FPP	12.5	17,408
CLKUSR ⁽²¹⁸⁾	PS, FPP	125	
	AS	100	
DCLK	PS, FPP	125	

配置文件

设计编译前使用此表对文件大小进行评估。不同配置文件格式的文件大小也不同，例如：十六进制文件(.hex)或表格文本文件(.ttf)格式。

关于不同类型的配置文件和文件大小，请参考 Quartus II 软件。然而，对于特定版本的 Quartus II 软件，针对同一器件的任何设计都有相同的未压缩配置文件大小。

⁽²¹⁷⁾ 要使能 CLKUSR 管脚作为初始化时钟源和获得这些管脚上的最大频率规范，请参考 *Arria V 器件的配置、设计安全和远程系统更新* 章节中的“初始化”部分。

⁽²¹⁸⁾ 要使能 CLKUSR 作为初始化时钟源，需要在 Quartus II 软件中的 **Device and Pin Options** 对话框的 **General** 中开启 **Enable user-supplied start-up clock (CLKUSR)** 选项。

表 2-62: Arria V GZ 器件的未压缩的.rbf 大小

系列	成员代码	配置.rbf 文件大小(比特)	IOCSR .rbf 文件大小(比特) ⁽²¹⁹⁾
Arria V GZ	E1	137,598,720	562,208
	E3	137,598,720	562,208
	E5	213,798,720	561,760
	E7	213,798,720	561,760

表 2-63: Arria V GZ 器件的最小配置时间评估

系列	成员代码	主动串行 ⁽²²⁰⁾			快速被动并行 ⁽²²¹⁾		
		宽度	DCLK (MHz)	最短配置时间 (ms)	宽度	DCLK (MHz)	最短配置时间(ms)
Arria V GZ	E1	4	100	344	32	100	43
	E3	4	100	344	32	100	43
	E5	4	100	534	32	100	67
	E7	4	100	534	32	100	67

远程系统更新电路时序规范

表 2-64: 远程系统更新电路时序规范

参数	最小值	最大值	单位
t _{RU_nCONFIG} ⁽²²²⁾	250	—	ns

⁽²¹⁹⁾ IOCSR .rbf 文件大小专门用于 Configuration via Protocol (CvP)特性。

⁽²²⁰⁾ 使用外部 CLKUSR 的 100 MHz 的 DCLK 频率。

⁽²²¹⁾ 最大 FPGA FPP 带宽可能会超过某些外部存储器或控制逻辑的带宽。

参数	最小值	最大值	单位
$t_{RU_nRSTIMER}^{(223)}$	250	—	ns

相关链接

- [Arria V 器件的配置、设计安全和远程系统更新](#)

关于 ALTREMOTE_UPDATE IP core 的重配置输入的详细信息，请参考“用户看门狗计时器”部分。

- [Arria V 器件的配置、设计安全和远程系统更新](#)

关于 ALTREMOTE_UPDATE IP core 的 reset_timer 输入的详细信息，请参考“远程系统更新状态机”部分。

用户看门狗内部振荡器频率规范

表 2-65: 用户看门狗内部振荡器频率规范

最小值	典型值	最大置	单位
5.3	7.9	12.5	MHz

I/O 时序

Altera 提供两种方法来确定 I/O 时序—基于 Excel 的 I/O Timing 和 Quartus II Timing Analyzer。

基于 Excel 的 I/O 时序提供对每种器件密度和速度等级提供管脚时序性能。数据通常用于设计 FPGA 之前，以获得时序预算的评估，此评估作为链路时序分析的一部分。

在完成布局布线后，Quartus II Timing Analyzer 根据设计特征提供一个更精准的 I/O 时序数据。

⁽²²²⁾ 这等同于将 ALTREMOTE_UPDATE IP core 的重配置输入选通为最小时序规范的高电平。关于更多信息，请参考 [Arria V 器件的配置、设计安全和远程系统更新](#) 章节中的“远程系统更新状态机”部分。

⁽²²³⁾ 这等同于将 ALTREMOTE_UPDATE IP core 的 reset_timer 输入选通为最小时序规范的高电平。关于更多信息，请参考 [Arria V 器件的配置、设计安全和远程系统更新](#) 章节中的“用户看门狗计时器”部分。

相关链接

[Arria V 器件文档页面](#)

提供基于 Excel 的 I/O 时序电子表格

可编程的 IOE 延时

表 2-66: Arria V GZ 器件的 IOE 可编程延迟

参数 ⁽²²⁴⁾	可用设置	最小偏移 ⁽²²⁵⁾	快速模型		慢速模型				单位
			工业	商业	C3	C4	I3L	I4	
D1	64	0	0.464	0.493	0.924	1.011	0.921	1.006	ns
D2	32	0	0.230	0.244	0.459	0.503	0.456	0.500	ns
D3	8	0	1.587	1.699	2.992	3.192	3.047	3.257	ns
D4	64	0	0.464	0.492	0.924	1.011	0.920	1.006	ns
D5	64	0	0.464	0.493	0.924	1.011	0.921	1.006	ns
D6	32	0	0.229	0.244	0.458	0.503	0.456	0.499	ns

可编程输出缓存延迟

表 2-67: Arria V GZ 器件的可编程输出缓存延迟

您可以在 Quartus II 软件中设置可编程输出缓存延迟，将 **Output Buffer Delay Control** 约束设置成 positive, negative 或 both edges，并将 **Output Buffer Delay** 约束设置成下表中显示的具体值(ps)。

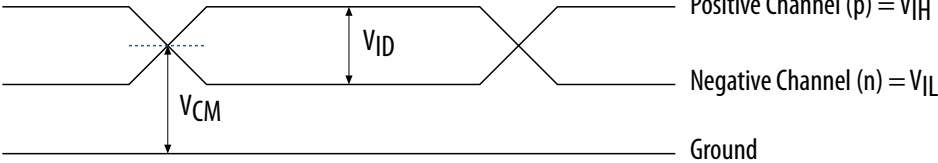
⁽²²⁴⁾ 您可以在 Quartus II 软件中设置此值，在 **Assignment Editor** 的 **Assignment Name** 列中选择 D1，D2，D3，D4，D5 和 D6。

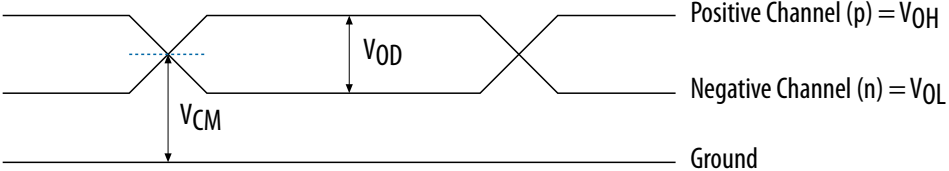
⁽²²⁵⁾ 最小偏移不包括固有延迟。

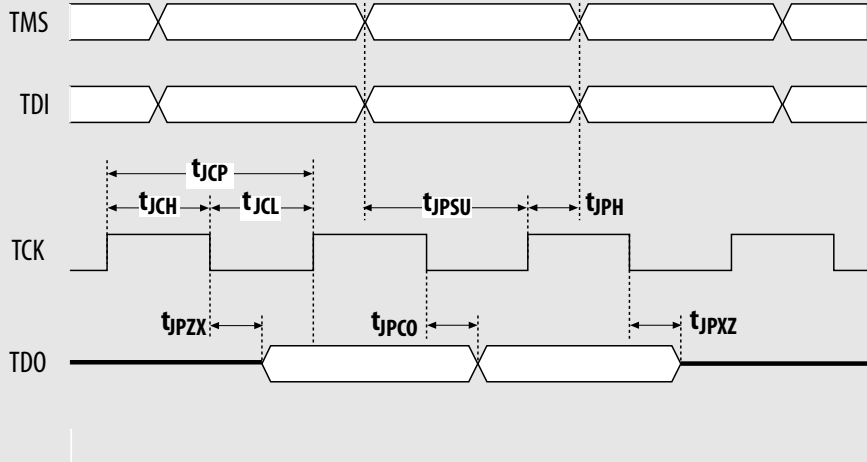
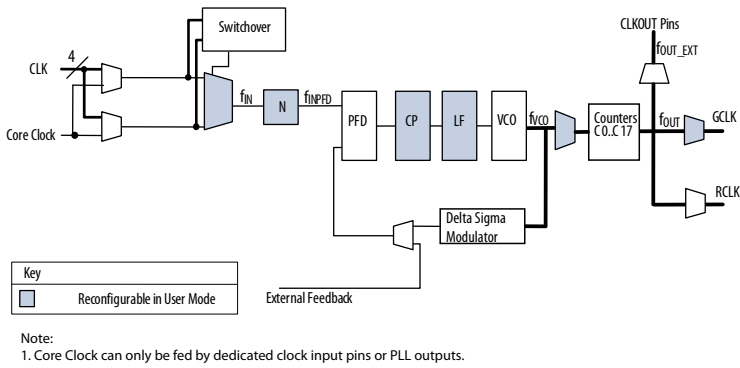
符号	参数	典型值	单位
D _{OUTBUF}	Rising and/or falling edge delay	0 (默认)	ps
		50	ps
		100	ps
		150	ps

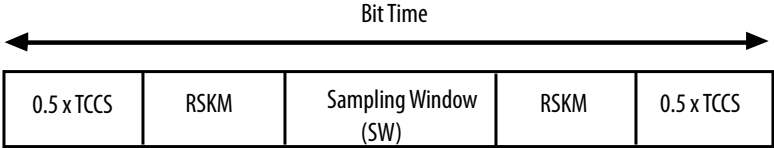
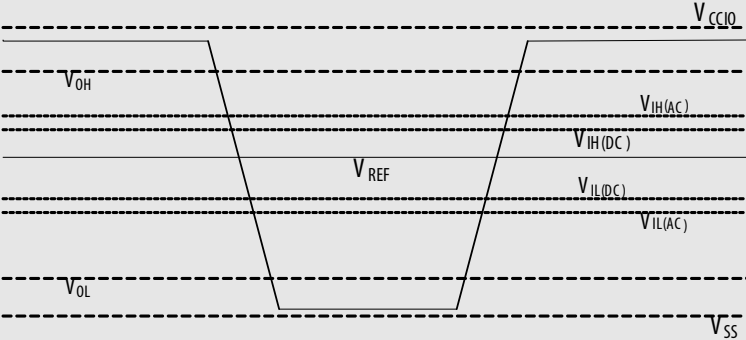
术语

表 2-68: 术语

术语	定义
差分 I/O 标准	接收器输入波形 Single-Ended Waveform  Positive Channel (p) = V_{IH} Negative Channel (n) = V_{IL} Ground Differential Waveform  $p - n = 0V$

术语	定义
	发送器输出波形 Single-Ended Waveform  Positive Channel (p) = V_{OH} Negative Channel (n) = V_{OL} Ground Differential Waveform  $p - n = 0V$
f_{HSCLK}	左侧和右侧 PLL 输入时钟频率。
f_{HSDR}	高速 I/O 模块—最大和最小 LVDS 数据传输率($f_{HSDR} = 1/TUI$), non-DPA。
$f_{HSDRDPA}$	高速 I/O 模块—最大和最小 LVDS 数据传输率($f_{HSDRDPA} = 1/TUI$), DPA。
J	高速 I/O 模块—解串因子(并行数据总线的宽度)。

术语	定义
JTAG 时序规范	JTAG 时序规范: 
PLL 规范	PLL 规范图 

术语	定义
R_L	接收器差分输入分立电阻（在 Arria V GZ 器件外部）。
SW(采样窗口)	时序图—数据必须是有有效的以被正确采集所用时间。建立和保持时间决定了采样窗口中理想的选通位置，如下所示： 
单端电压参考 I/O 标准	SSTL 和 HSTL I/O 的 JEDEC 标准定义了 AC 以及 DC 输入信号值。AC 值表明接收器必须满足其时序规范所处于的电压电平。DC 值表明接收器的最终逻辑状态被明确定义时所处于的电压电。接收器输入通过 AC 值后，该接收器变到新的逻辑状态。 只要输入超出 DC 阈值，新的逻辑状态就一直保持。这种方法旨在出现输入波形振铃时提供可预测的接收器时序。 单端电压参考 I/O 标准 
t_C	高速接收器和发送器输入和输出时钟周期。



术语	定义
TCCS (channel-to-channel-skew)	由同一 PLL 驱动通道中最快的和最慢的输出边沿之间的时序差异，包括 t_{CO} 类别和时钟偏移。时钟包含在 TCCS 测量中(请参考此表中 SW 下的时序图)。
t_{DUTY}	高速 I/O 模块—高速发送器输出时钟的占空比。
t_{FALL}	信号从高电平到低电平的跳变时间 (80-20%)
t_{INCCJ}	PLL 时钟输入上的周期到周期抖动容限。
t_{OUTPJ_IO}	PLL 驱动的通用 I/O 上的周期抖动。
t_{OUTPJ_DC}	由 PLL 驱动的专用时钟输出上的周期抖动。
t_{RISE}	信号从低电平到高电平的跳变时间 (80-20%)
时间单元间隔 (TUI)	所支持的偏移，传播延迟和数据时采样窗口的时序预算。(TUI = $1/(\text{收器输入时钟倍频因子}) = t_C/w$)。
$V_{CM(DC)}$	DC 共模输入电压。
V_{ICM}	输入共模电压—接收器上差分信号的共同模式。
V_{ID}	输入差分电压摆幅—接收器上一个差分传输的正导体与补导体之间的电压差。
$V_{DIF(AC)}$	AC 差分输入电压—切换所需要的最小 AC 输入差分电压。
$V_{DIF(DC)}$	DC 差分输入电压—切换所需要的最小 DC 输入差分电压。
V_{IH}	电压输入高一应用到输入上的最小正电压，器件接收此输入作为逻辑高。
$V_{IH(AC)}$	高电平 AC 输入电压
$V_{IH(DC)}$	高电平 DC 输入电压
V_{IL}	电压输入低—应用到输入上的最大正电压，器件接收此输入作为逻辑低。
$V_{IL(AC)}$	低电平 AC 输入电压
$V_{IL(DC)}$	低电平 DC 输入电压
V_{OCM}	输出共模电压—发送器上的差分信号的共同模式。

术语	定义
V_{OD}	输入差分电压摆幅—发送器上一个差分传输的正导体与补导体之间的电压差。
V_{SWING}	差分输入电压
V_X	输入差分交叉点电压
V_{OX}	输出差分交叉点电压
W	高速 I/O 模块—时钟增强因子

文档修订历史

日期	版本	修订内容
2015 年 6 月	2015.06.16	- 更改了参考时钟上升和下降时间的条件，对“Arria V GZ 器件的参考时钟规范”表中的条件添加了一个注释。 - 对“Arria V GZ 器件的接收器规范”表中的“接收器串行输入管脚上的最小差分眼开”规范添加了一个注释。
2015 年 1 月	2015.01.30	- 在“Arria V GZ 器件的 OCT 校准精度规范”表中添加了 240-Ω。 - 更改了“Arria V GZ 器件的接收器规范”表中的 CDR PPM 容限规范。 - 对“Arria V GZ 器件的小数分频 PLL 规范”表中的 fPLL 添加了最大数据速率。
2014 年 7 月	3.8	- 更新了表 21。 - 更新了表 22 V_{OCM} (DC 耦合)条件。 - 更新了图 6、表 7 和图 9 的 DCLK 注释。 - 对表 5 和表 6 添加了注释。 - 在表 50 中添加了 DCLK 规范。 - 对表 51 添加了注释。 - 更新了表 53 中的参数列表。

日期	版本	修订内容
2014 年 2 月	3.7	更新了表 28。
2013 年 12 月	3.6	- 更新了表 2, 表 3, 表 18, 表 19, 表 22, 表 30, 表 33, 表 37, 表 38, 表 45, 表 46, 表 47, 表 56 和表 49。 - 更新了“PLL 规范”。
2013 年 8 月	3.5	更新了表 28。
2013 年 8 月	3.4	- 删除了表 2, 表 4, 表 5, 表 14, 表 27, 表 28, 表 29, 表 31, 表 32, 表 43, 表 45, 表 46, 表 47, 表 48, 表 49, 表 50 和表 54 的初步标识(Preliminary tag)。 - 更新了表 2 和表 28。
2013 年 6 月	3.3	更新了表 23、表 28、表 51 和表 55。
2013 年 5 月	3.2	- 更新了表 23。 - 更新了表 5、表 22、表 26 和表 57。 - 更新了图 6、图 7、图 8 和图 9。
2013 年 3 月	3.1	- 更新了表 2、表 6、表 7、表 8、表 19、表 22、表 26、表 29 和表 52。 - 更新了“所允许的最大过冲和下冲电压”。
2012 年 12 月	3.0	首次发布。