

マイクロコントローラーを MAX® 10 FPGA に変える10の理由

MAX® 10 FPGA および Nios® V プロセッサーを使うことで、製品の差別化を図り、市場導入スケジュールに間に合わせ、プロセッサーの生産中止リスクを緩和できます。

目次

はじめに	1
即時電源投入と システムブートの高速化を実現	1
AI とエッジコンピューティングで パフォーマンスを最適化	2
継続的な動作を 中断しないで更新	2
シングル電源とデュアル電源オプションで 電源を効率的に管理	2
所有総コスト (TCO) の低減とアップグレード可能なソリュー ション	3
周辺機器セットをカスタマイズして 差別化対応	4
GPIO 機能を拡張して フレキシビリティとパフォーマンスを強化	5
リアルタイム処理を最適化	5
市場導入時期を MAX 10 FPGA で加速化	6
市場導入時期を 製品ライフサイクルの延長と 供給レジリエンスで加速化	7
おわりに	8
詳細情報	8

はじめに

マイクロプロセッサーまたはマイクロコントローラ (MCU) は、デジタル電子システムの汎用コンポーネントの1つです。モノのインターネット (IoT) ソリューションが生活のさまざまな部面での統合が進んでも、この必要性が強いことには変わりありません。IoT 革命に向けた設計や、これまでにないソリューションが必要な最先端製品向け設計においては、市販の既製品 (COTS) や SoM (System on Module) ボードを用いるだけでは、パフォーマンス、周辺機器、フォームファクター、スケーラビリティ、またはライフサイクル永続性を最適に組み合わせて、競争力がある差別化や市場導入ニーズに対応することはできません。COTS または SoM プロセッサーを選択した場合、設計者は、不要な機能まで付属した割高な MCU で妥協するか、あるいは COTS/SoM に不足している機能を補うために追加の設計をしなければならない場合が多くあります。一方、統合型で完全カスタマイズ可能なソフト処理機能を備えるFPGA ベースのソリューションは、プログラマブルなハードウェアとソフトウェアにより、カスタムニーズに対応した真のフレキシビリティとスケーラビリティをシングルチップで実現できます。

Nios® V プロセッサーは、FPGA に最適化された 32 ビット RISC-V Harvard アーキテクチャのソフトコアプロセッサーです。FPGA はプログラマブルのため、Nios V プロセッサーには幅広いオプションが付き、設計者は各ニーズに合わせた最適なバージョンを選択できます。さらに、個別要件に応じ、多様なペリフェラルを構成することが可能で、FPGA をあらゆるアプリケーションのニーズに的確に対応させることができます。MAX® 10 FPGA ベースのソリューションは、Nios V プロセッサーを基本とすることで、COTS での制限を解決し、製品の差別化と最適化に向けカスタマイズが可能な、独自のシングルチップ組込みシステムの実現が可能です。MAX 10 FPGA の革新的アーキテクチャと、Nios V プロセッサーのフレキシビリティとの組み合わせは、今日の組込み設計者に優れた代替ソリューションを提供します。

即時電源投入とシステムブートの高速化を実現

長いブート時間が必要な従来型 FPGA ベースシステムとは違い、MAX 10 FPGA のオンダイフラッシュ(内蔵フラッシュ)は、即時電源投入機能が可能です。このオンダイフラッシュは、システムブートと管理においても恩恵をもたらします。組込みプロセッサー技術利用の従来型 FPGA システムでは、ハードでもソフトでも、FPGA は電源を入れてコンフィグレーションするのに時間がかかります。

MAX 10 FPGA のオンダイフラッシュにより、FPGA はシステムの最初のコンポーネントとして即時（数ミリ秒）で起動し、カスタム FPGA ロジックがシステム立ち上げを完全管理できるほか、Nios V システムをシステム電源投入時にソフトウェア診断または故障予測に利用することもできます。このシングルチップ統合とハードウェアアップグレード機能で、組込み設計者は、製品の設計瑕疵、返品を解消することで所有コストを抑えることができる上、カスタマイズしたハードウェアにより競争優位を提供できます。

AI とエッジコンピューティングでパフォーマンスを最適化

人工知能（AI）の急速な進化は、業界に改革をもたらし、エッジコンピューティング、産業オートメーション、医療業界、およびスマートインフラストラクチャでの新しい機能創出を牽引しています。AI は、データセンターの枠を超えて拡大し、リアルタイムパフォーマンス、低電力消費、および費用対効果が重要な組込みとエッジデバイスの分野にも触手を伸ばしています。標準 MCU では多くの場合、AI 作業負荷に必要な機能、速度、スケーラビリティ、およびエネルギー効率が不足しています。

MAX 10 FPGA は、最大144 の組込み乗算器ブロックを含む強力な DSP 機能によりこのような課題に対処し、高パフォーマンスな AI とエッジコンピューティングソリューションを実現します。各ブロックは 18×18 ビットまたはデュアル 9×9 ビット乗算器をサポートし、リアルタイム信号処理、ビデオ分析、およびセンサーフュージョン等、要求が厳しい AI タスクに求められる計算能力を提供します。DSP IP コア – 有限パルス応答（FIR）フィルター、高速フーリエ変換（FFT）、および数値制御オシレーター（NCO）等 – をサポートすることで、MAX 10 デバイスは、複雑な AI アルゴリズムの効率的な実行を柔軟にこなすことができます。また、DSP Builder for Altera FPGA や MATLAB/Simulink 等のツールとの統合により、開発が簡素化され、AI 駆動のエッジアプリケーションの市場導入が加速化できます。低電力消費と、高パフォーマンス、およびスケーラビリティの組み合わせにより、MAX 10 FPGA は、AI とエッジコンピューティングの要望の進化の対応に最適です。

最近では、Altera Solution Acceleration Partners の1つ、One Ware が、MAX 10 FPGA を対象とする画像処理と AI 推測ソリューションの統合で実証を行っています。One Ware では、産業オートメーションおよびエッジコンピューティングアプリケーション向けのリアルタイム、ローレイテンシー処理、MAX 10 FPGA の機能について実証を行っています。

MAX 10 FPGA の即時電源投入機能、低電力消費、および統合型フラッシュメモリが、時間に厳しい産業システムにいかに最適であるかをこの実証で示されています。

One Ware は、FPGA が高速でデータ取得ができること、リアルタイム信号処理ができることを示しました。これらの特性は、予測保全、マシンビジョン、およびロボティクス等のアプリケーションにとって重要です。MAX 10 FPGA のコンパクト設計と費用対効果も強調され、エッジでの高度なオートメーションと AI のデプロイに実用的なソリューションとなりました。全体として、この実証では、MAX 10 FPGA が産業界で意思決定の高速化、システム信頼度の向上、スケーラブルエッジコンピューテ

ィングソリューションを実現できることを示しました。[技術ウェビナーへの無料アクセスに登録する](#)

また、MAX 10 FPGA には、Nios V ソフトプロセッサーが装備されているため、AI 機能は、リアルタイム推論、エッジ AI アクセラレーター、tiny ML（Tiny Machine Learning）のデプロイを可能にして、コンパクトで費用対効果が高い設計になります。AI タスクを MAX 10 FPGA に統合することで、開発者は、カスタムハードウェアアクセラレーター、決定的パフォーマンス、およびローレイテンシー実行により、AI モデルを別の AI コンポーネント不要で、エッジで効率的に処理できます。MAX 10 FPGA では、AI を今後の組込みシステムに引き入れるためのインテリジェンス、フレキシビリティ、およびスケーラビリティが得られます。

継続的な動作を中断しないで更新

MAX 10 デバイスには、中断のない更新機能も付いており、内部フラッシュイメージの更新およびそれに続くデバイスの再コンフィグレーション中に I/O ピンの状態を柔軟に制御できます。すべての I/O ピンは、中断のない更新プロセスのため、途中で中断しないで安定して動作を継続できます。この機能では、MAX 10 FPGA が、重要な信号の監視と制御時、干渉されることなく、システムコントローラーとして動作することもできます。デュアルコンフィグレーション・イメージ – Active と Update – を利用して、FPGA は、継続的な動作中、コンフィグレーション・イメージを円滑に切り替えることができるため、更新中にダウンタイムをなしにできます。

これは、ボード管理、遠隔通信、産業オートメーション、および自動車用等、ミッションクリティカルなシステムで特に重要です。MAX 10 デバイスは、2つのタイプの中断しない更新をサポートしています。すべての MAX 10 デバイスでは、外部 JTAG から中断しない更新が可能で、幅広い互換性が保障され、同時に 10M40DD と 10M50DD デバイスは、内部 JTAG または I2C/SPI インターフェイスから中断のない更新をサポートしており、システム統合にはより柔軟な対応が可能です。これらのオプションで、設計者は、ファームウェアを高信頼で更新でき、同時にシステムの安定性を維持できるため、MAX 10 FPGA は、継続動作が必要なアプリケーションには最適になります。

シングル電源とデュアル電源オプションで電源を効率的に管理

MAX 10 シングル電源装置には、3.0 または 3.3 V 外部電源装置のいずれかのみ必要です。外部電源装置は、MAX 10 デバイス VCC_ONE および VCCA 電源ピンへ電源供給を行います。この外部電源装置は、図 1 に示されたように、MAX 10 シングル電源デバイスの内蔵レギュレータが 1.2 V に変換します。1.2 V 電圧レベルは、コアロジック演算に必要です。さらに高パフォーマンスが必要なアプリケーションでは、デュアル電源デバイスはコアに 1.2 V、I/O、周辺機器、PLL、および ADC に 2.5 V を利用します。この構成では、電力供給が最適化され、電力消費を抑えながらパフォーマンスが強化されます。高効率のスイッチング電源を利用してことで、設計者は、内部リニアレギュレーター付きのシングル電源デバイスと比べ、大幅な省エネルギーを実現します。



図 1. MAX® 10 電源オプション

MAX 10 FPGA の電力管理コントローラースキームでは、未使用のロジックセクションで動作中にスリープモードを可能にすることで、ダイナミック電力の削減を実現します。この機能により、1 ms 以下の高速立ち上げ時間と組み合わせることで、応答性を犠牲にすることなく、効率よく電力を使用できるようにします。I/O パワーダウン、グローバルクロックゲーティング、およびスリープモード等の主な機能は、アイドル状態で省電力が重要な DSLR カメラ等では特に有用です。

また、MAX 10 FPGA には、シンプルなステートマシン (FSM) を使用し低電力状態を管理する、ソフト電力管理コントローラがリファレンスデザインとして提供されています。設計者は、このコントローラをカスタマイズして I/O パワーダウンやクロックゲーティング等の機能を利用して、個別のアプリケーション要件に対応させることができます。すべての MAX 10 デバイスは、クロックゲーティングをサポートし、同時に、個別モデル (10M16、10M25、10M40、および 10M50) が I/O パワーダウン機能も実現します。これらのハードウェア機能は、ソフト電力管理コントローラと組み合わせることで、スリープモード中の効率的な低電力状態を可能にします。電力管理コントローラのクロック源は内部オシレーターです。内部オシレーターは、フラッシュからコアにルーティングされます。内部オシレーターは、電力管理コントローラによる立ち上げ(wake-up)イベントとスリープモードイベントの検出を可能とします。

シングル電源の簡素化、デュアル電源の柔軟性、および高度電力管理機能により、MAX 10 FPGA では、設計者が電力効率を最適化、システムの複雑さを軽減、および市場導入を加速化できます。これらの機能により、MAX 10 FPGA は、産業オートメーションからポータブル機器までさまざまな用途向けに信頼できる、多彩なソリューションとなるため、高パフォーマンスとエネルギー効率を実現します。

所有総コスト (TCO) の低減とアップグレード可能なソリューション

MAX 10 FPGA は、組込みフラッシュを直接FPGA ダイに統合し、ハードウェアとソフトウェアカスタマイズの両方で真のシングルチップ組込みシステムを実現します。エンドカスタマーがライセンス付与した QoS (サービス品質) または機能パッケージに適合するように、リアルタイムで、その場でハードウェア機能をカスタマイズできる CPU を考えてみてください。この機能のもう1つのメリットは、システムのマイクロコントローラーハードウェアをアップグレードできることにより、新たな規格への対応、初回リリースには不足していた機能の追加、または初回インストール後に購入した製品アップグレード等に対応可能となることです。これらのシナリオは、一般的なマイクロプロセッサーでは物理的に無理ですが、MAX 10 FPGA 組込みフラッシュとリモート更新機能がある Nios V プロセッサーを利用することで可能になります。

MAX 10 組込みフラッシュには、図 2 に示されているように、FPGA コンフィグレーション・イメージが2つありますが、このうち1つを使って FPGA ハードウェアイメージに対するフェールセーフリモートアップグレードを保証することができます。リモートアップグレードまたはデュアル構成機能が必要ではない場合、汎用ユーザー・フラッシュメモリ (UFM) を拡張 (最大 700 Kb) して、ソフトウェアコードのストレージ容量を追加できます。

FPGA ロジックを使った Nios® V プロセッサーシステムの例

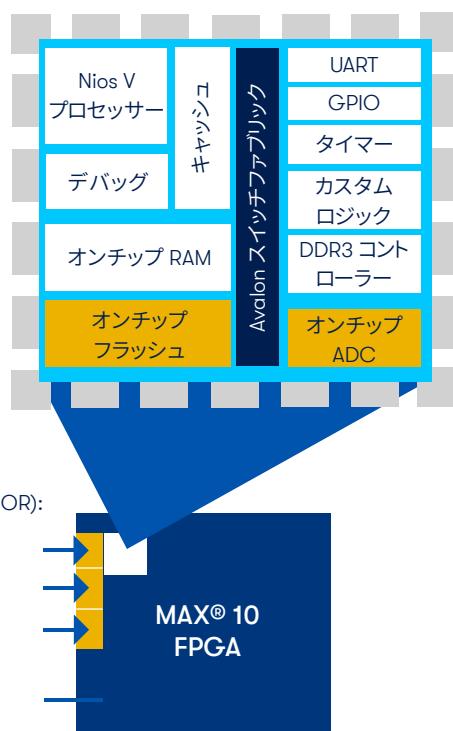
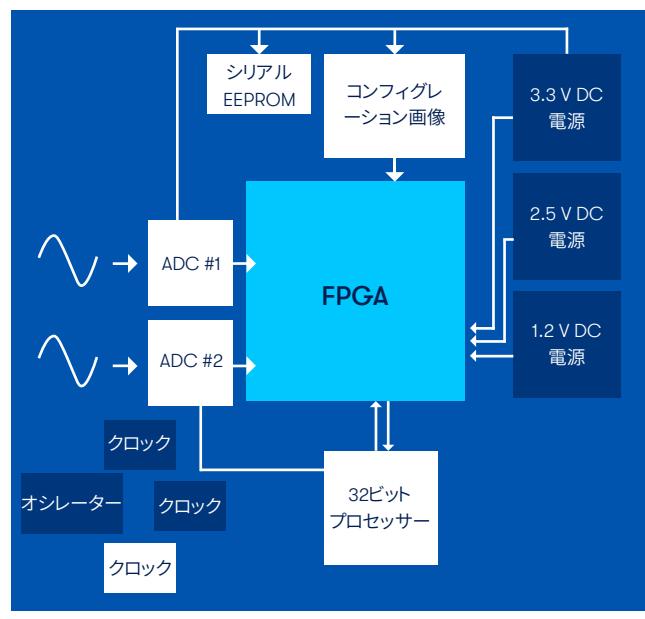


図 2. デュアルコンフィグレーション・パーティションによるシングルチップ Nios® V プロセッサー

MAX 10 FPGA は最大2つの 12 ビット逐次比較レジスター (SAR) A/D コンバーター (ADC) ブロックを 17 の入力チャンネルと統合し、これを使って、環境条件を測定、電源投入と電源切シーケンスを管理、モータートルクを制御するなどを実行します。12 ビット SAR ADC には、プログラマブルデジタルインターフェイスのサンプルシーケンス制御、ハードウェア平均、および電圧と機器温度の割込み閾値が含まれます。これらの ADC を Nios V プロセッサーで使うことで、MCU または外部 ADC をシステム BoM から取り除き、システムコストと複雑さを軽減することができます。

図 3 に示されているように、MAX 10 FPGA のオンチップフラッシュ、ADC、PLL、および Nios V プロセッサーと組み合わせることで、従来型 FPGA ソリューションと比べ、ボード容量を最大 50% 削減します。シン

多種の外部ディスクリートデバイスを使用した従来のFPGAソリューション



50% のボード領域を削減

MAX® 10 FPGA を使った FPGA システムの簡素化

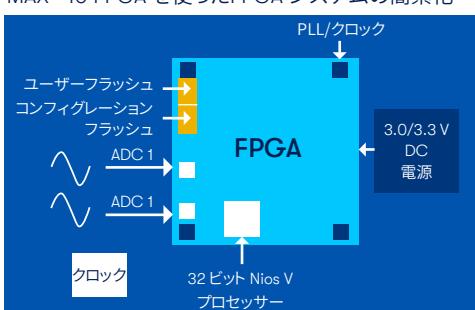


図 3. MAX® 10 FPGAによるTCO およびボードサイズの削減、および信頼性の向上

グル電源オプションは、オンダイレギュレーターにより可能となることで、複数の電源レールが必要なくなるため、ボード容量と複雑さが最小に軽減されます。これでチップ数と PCB サイズが削減されるため、システムコストが抑えられ、信頼度が向上します。

MAX 10 FPGA では、3.0 V または 3.3 V 外部電源装置のみにすることで、電力管理が簡素化されます。これで、VCC_ONE と VCCA 電源ピンに接続され、オンダイレギュレーターがコアロジック用に 1.2 V に変換します。単一電源をコアと I/O 電圧 (両者が一致する場合) の両方に使うことで、ボードの複雑さとフットプリントが最小化され、システム全体のコストが抑えられます。この単一電源機能では、外部コンポーネントと潜在的な障害発生個所が削減されて信頼度が増すため、ポータブルや組込みシステム等、スペースに制約があるアプリケーションには最適です。

パッケージが 3x3 mm² 程度の MAX 10 FPGA のシングルチップソリューションは、極めて小型の構成可能な FPGA フットプリントです。可変ピッチ BGA (VFBGA) パッケージで、I/O 密度が最大化され、最大 485 I/O がコンパクトな 19x19 mm² パッケージに入ることで、占有容量が最小化されます。小さなフォームファクター LVDS トンネリングプロトコルインターフェイス (LTP) サポート、およびフレキシブルな電源オプションにより、部品構成表 (BOM) 容量とコストが抑えられます。VFBGA パッケージでは、ルーティングも簡素化され、ボードコストが低減されます。

このようなコンパクトなパッケージサイズのため、MAX 10 FPGA は、ポータブルまたは容量が制約されるアプリケーションで、ASIC、ASSP、およびマイクロコントローラユニット (MCU) を置きかえもしくは拡張用に使用できます。強力な FPGA 機能を活用し外部コンポーネントを最少化することで、シングル電源の MAX 10 FPGA はコンパクトで費用対効果が高く、さらに高信頼性の組込みソリューションを実現できます。

周辺機器セットをカスタマイズして差別化対応

あらゆる新設計での独自の要求を満たすため、CPU、メモリインターフェイス、およびカスタム周辺機器の完璧な組み合わせにより、Nios V プロセッサーは、設計者が必要とするあらゆる場面で優れた柔軟性を提供します。設計者は、さまざまな Nios V CPU の種類から選択し、プロセッサーをパフォーマンスまたはサイズにあわせて最適化できるほか、カスタム CPU 構成を作成してそのニーズに対応させることもできます。FPGA のカスタマイズした周辺機器は、組込みシステムの“秘密装置”として、多数の汎用 I/O (GPIO)、イーサネット MAC、シリアルインターフェイス、複数の CPU 等が可能です。

従来型 MCU とは違い、MAX® 10 FPGA は、画像入力用の CSI カメラインターフェイス、高品質オーディオデータ転送用の I2S オーディオインターフェイスその他、特殊インターフェイスもサポートしていることで、設計者は MCU ではサポートされていない場合もある高度な周辺機器を統合することができます。また、MAX 10 FPGA にフレキシビリティがあることで、利用可能なピンと同数の汎用非同期式受送信機 (UART) が可能で、UART リソースが不足することが多い MCU のリソース制限に対処可能です。

組込み周辺機器の大規模ライブラリを利用して、お使いのカスタムシステムに組み込むか、設計者が各自の完全固有およびカスタムハードウェア周辺機器ブロックを Verilog HDL または VHDL で作成することができます。マイクロコントローラーベースの COTS/SoM 製品では利用できない、エンドシステムに必要な周辺機器セットを正確にデザインすることで、組込み設計者は、機能効率と設計効率を最大にして、競合他社製品との差別化で優位を得ることができます。

GPIO 機能を拡張してフレキシビリティとパフォーマンスを強化

MCU を MAX 10 FPGA と代替する利点の1つは、汎用 I/O 機能に優れている点です。一般的にはシングルエンド I/O を固定電圧レベルでサポートする MCU とは違い、MAX 10 FPGA では、独立した I/O バンクから差動信号や複数の電圧レベルをサポートすることを含め、フレキシビリティの幅が大きくなります。これは、高速通信、ノイズ耐性、および混合電圧インターフェイスが必要なアプリケーションには最適です。

MAX 10 FPGA は、シグナルインテグリティ(信号品質)を改善し、MCU のシングルエンド I/O と比べて高いデータレートを実現する、低電圧作動信号 (LVDS) 等の作動信号をサポートします。差動信号は電磁妨害(EMI)を削減し、長距離で高信頼の通信が可能となるため、高速でのデータ取得、ビデオ処理、および産業オートメーションに適しています。その上、MAX 10 FPGA は複数の独立した I/O バンクを特徴とし、それぞれが異なる電圧レベル (例、1.0 V、1.2 V、1.8 V、2.5 V、3.0 V、または 3.3 V) で作動できます。この結果、外部レベルシフターが必要なくなり、混合電圧設計でのボードの複雑さやコンポーネントコストが抑えられます。

同時に、MAX 10 FPGA は、調節可能なドライブ電流とオンチップ終端(OCT)とあわせ、LVCMS、LVTTL、および SSTL 等、様々な標準I/O規格をプログラマブルにサポートし、シグナルインテグリティと電源効率を最適化することができます。これらの機能により、バッファや終端抵抗等の外部コンポーネントの必要性が少くなり、よりコンパクトな設計にでき、システムコスト全体が低くなります。最大 720 Mbps の高速 I/O 転送をサポートすることで、MAX 10 FPGA のパフォーマンスは従来型 MCU 以上になります。

リアルタイム処理を最適化

従来、組込み開発者には、プロセッサーの高速化や組立サブルーチンでの最終段階の手動による微調整等、設計サイクルの終盤近くにパフォーマンスを加速化させるオプションには制限がありました。両方のオプションとも効果はあるものの、マイナスの作用も無視するには大きすぎるものです。MAX 10 FPGA および Nios V プロセッサーは、パフォーマンス強化を特徴とする全く新しいツールボックスです。

カスタムハードウェアアクセラレーターを使って、設計者はシステムパフォーマンスを最適化できますが、これは標準製品ではできることです。Nios V プロセッサーのカスタマイズ可能な特長により、設計者は複雑なアルゴリズム用のコプロセッサーとしてカスタムコンポーネントを FPGA ロジックで作成できます。これらのアクセラレーターまたはコプロセッサユニットは、Nios V プロセッサーと並列実行でき、ソフトウェア実行以上に大規模な閾数位数を実行できます。図 4 は、カスタムアクセラレーターおよびソフトウェアのみの実装に対するその相対パフォーマンスの例を示しています。

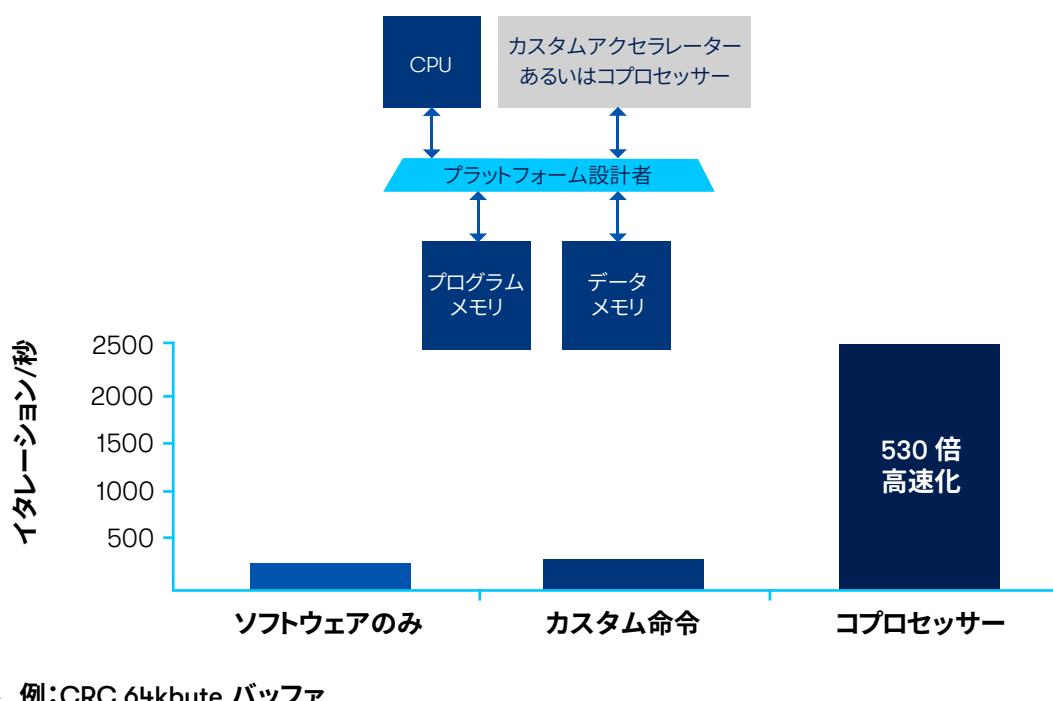


図 4. カスタムアクセラレーターによる性能向上

Nios V プロセッサーには、表 1 に示すように、組込み設計でのリスクを低減するオプションが他に多数あります。Nios V 組込みプロセッサーシステムの開発において、設計者は、Altera および Nios V エコシステム

パートナーから入手可能な完成され堅牢な多くのソフトウェア開発ツールおよびソフトウェアコンポーネントを利用可能です。

機能	説明
Nios V/c (コンパクトなプロセッサーコア)	汎用レジスター、状態機械の置換、マシンモードサポート、リセット要求インターフェイス、および誤り訂正符号(ECC)を特徴とするコンパクトマイクロコントローラーコア。
Nios V/g (高性能なプロセッサーコア)	パフォーマンスクリティカルなアプリケーション向けに最適化された Nios V には、乗算/除算機能があり、キャッシュ管理、TCM(tightly coupled memory)、および単精度浮動小数点数が可能です。これは、状態機械の置換、5パイプラインステージ、マシンモードサポート、オプションのデバッグモード、リセット要求インターフェイス、指令およびデータキャッシュ、TCM、カスタム指令、ECC、分枝予測、およびロックステップ機能が特徴です。
Nios V/m (バランスの取れたプロセッサーコア)	最適化されたプロセッサーは、RISC-V デバッグ仕様 0.13.2 に基づく制御とステータスレジスターおよびデバッグモジュールを特徴とします。これには、状態機械の置換、構成可能な 5パイプラインステージ、マシンモードサポート、オプションのデバッグモード、リセット要求インターフェイス、指令およびデータキャッシュ、TCM、カスタム指令、ECC が含まれます。
マルチプロセッサーシステム	お使いのシステムで複数の Nios V プロセッサーを使って、パフォーマンスのスケーリングまたはソフトウェアアプリケーションの簡易な並列タスクへの分割を行います。ハードウェアとソフトウェア開発ツールスイートには、カスタムマルチコアシステム作成のサポートが含まれています。Nios V プロセッサーは、高密度 MAX 10 FPGA と組み合わせ、高パフォーマンスマルチプロセッサーアプリケーションの作成に最適なプラットフォームです。
カスタム命令	カスタムハードウェアが可能なソフトウェアルーチンより高速に演算処理できる、Nios V 指令群にカスタム指令を追加してタイムクリティカルな演算を加速化します。Nios V/g プロセッサーのみにサポートされています。
ハードウェアアクセラレーター	パフォーマンスのアクセラレーションが必要なプロセスまたはアルゴリズムが複雑すぎる、またはカスタム指令として実装するにはデータパス依存である場合、Nios V プロセッサーと並列で実行可能なカスタム高パフォーマンスコプロセッサーとして実装することができます。
リアルタイム	Nios V プロセッサーには、標準割込みユニットをローレイテンシーベクトルの中断ユニットと置き換え、より高速および決定的な割込み応答を実現するオプションがあります。究極のリアルタイム応答と決定では、コア機能は、FPGA ロジック中に実装でき、ハードウェアのパフォーマンスを引き上げても、ソフトウェアの制御性能やフレキシビリティが失われることがありません。
高速で構成可能なオンチップメモリ	パフォーマンスクリティカルなアプリケーション向けに固定ローレイテンシーオンチップメモリバッファを作成します。

表 1 MAX 10 FPGA に Nios® V プロセッサーを実装したオプションおよび拡張機能

プラットフォーム・デザイナー システム統合ツールでは、設計者が知的財産(IP)を構成し、インターフェクト・ロジックを生成して IP 機能とサブシステムを接続できるようにすることで、FPGA 設計プロセスの時間と手間が大幅に抑えられます。使いやすい GUI により、ペリフェラルを FPGA システムデザインに簡単で速やかに構成および統合することができます。

Ashling RiscFree* IDE は、Nios V プロセッサーソフトウェア設計向けの無料の包括的な開発パッケージです。このパッケージは、使用するハードウェア構成情報をインポートして、独自プロセッサー構成とシステムデザイン用のカスタムボードサポートパッケージを構築できるため、ソフトウェアのコーディングをすぐに開始できます。Ashling RiscFree IDE には、Eclipse ベースの開発ツールだけではなく、デバイスドライバー、ペアメタルのハードウェア抽象化レイヤ (HAL) ライブライアリ、リアルタイムオペレーティングシステム (RTOS) の評価版とソフトウェアサンプルが含まれています。Risc-V アーキテクチャにより、主要な RTOS ベンダ

ーはすべて、Nios V プロセッサーをサポートし、アクティブな開発者コミュニティ www.rocketboards.org もサポートされています。

市場導入時期を MAX 10 FPGA で加速化

MAX 10 FPGA は、開発サイクルを合理化し、設計の複雑さを軽減することで、市場導入を加速化します。シングルチップ統合では、外部コンフィグレーションメモリが必要ではなくなるため、プロトタイプ開発とデブロイが簡素化されます。インスタント・オン機能があることで、システムがミリ秒内に可動され、ブート時間が短縮および全体的な効率が改善します。プレビルド DSP IP コア、リファレンスデザイン、および Quartus Prime や Nios V プロセッサー等のツールとの円滑な統合で、開発時間が短縮され、設計者はインフラストラクチャよりはイノベーションに注力できるようになります。

インフィールドハードウェアアップグレードが実行できることで、製品は、進化する規格、顧客ニーズ、または規制要件に高価な再設計やリコー

ルなしで適応できるようになります。このフレキシビリティのため、企業は、設計エラーへの対処、新機能の追加、または導入後のパフォーマンス改善への対処に際し、遅延リスクを軽減しイタレーションを高速化できます。また、リモート更新機能で、フェールセーフ更新が保証され、ダウンタイムを最小化、システム信頼性が強化されます。これらの機能を組み合わせることで、MAX 10 FPGA では、設計者が製品の市場導入時期を早め、変化する需要により効率よく対応し、進化が激しい業界にあって競争力を維持することができます。このように開発プロセスが加速化されると、未来も安心な設計とあわせて、MAX 10 FPGA は、厳しい納期への対応や、長期に及ぶ成功を達成する上で戦略的な選択肢となります。

市場導入時期を製品ライフサイクルの延長と供給レジリエンスで加速化

MAX 10 FPGA の Nios V プロセッサーは、開発者が製品寿命の各ステージでライフサイクル上のメリットを与えることで製品による収益を最大化できます。市場導入ニーズにあわせ、MAX 10 FPGA のハードウェアプログラマビリティにより FPGA 設計への少ない変更で、設計エラーを速やかに修正できます。市場初導入の場合、出荷しても、期待に見合う競争力がない場合がよくあります。Nios V プロセッサーを使った MAX 10 FPGA ベースのシステムには、業界すでにデプロイされている製品について、ソフトウェアの更新と同様に、ハードウェア機能を更新できるオリジナルメリットがあります。これによりいくつかの問題が解決します：

- ・ 製品寿命を延長し、ハードウェアが長時間機能を実行できるようになります
- ・ 今後登場する（または変化する）規格に対応するためのハードウェア変更リスクを低減します
- ・ ハードウェアバグ修正を簡素化し、製品の返品と再加工の必要性を減らします

Altera は供給レジリエンスと製品寿命延長に取り組むことで、製造された MAX 10 FPGA が初期リリース後少なくとも15年間サポート対象となり、少なくとも製品寿命の終わり (EOL) 前の2040年まで延長されます。製品寿命がこのように延長されることで、陳腐化リスクが緩和され、再設計コストが最小化されることで、顧客は安心して MAX 10 FPGA を選択できます。顧客は、継続してサポートを受け、予測性、アジャリティ、および堅牢さを提供できることが既知のため、これらの FPGA を長期プロジェクトに利用できます。サプライチェーンレジリエンスおよび製品寿命に対するこの戦略的な取り組みにより、MAX 10 FPGA の価値が強化され、幅広いアプリケーションで信頼できる選択肢となります。

多様な顧客基盤に対応するため、組込みプロセッサーベンダーは、プロセッサーファミリーに幅広い構成選択肢を用意していますが、これらのプロセッサー変種の多くは、同ファミリーの他の製品と比べ早く陳腐化します。ソフト Nios V プロセッサーの利点を認識している設計者は、これらのプロセッサーがハードプロセッサーと比べ、同じ市場の圧力に抗えなくはならないことを理解しています。Nios V プロセッサーの設計者には、カスタマイズした Nios V プロセッサーベースの設計を MAX 10 FPGA で作成およびデプロイする永久ライセンスがあります。無償ライセンスは、セルフサービスライセンシングセンターでも利用でき、設計者は、追加費用なしで開発およびデプロイできます。

これは、基本となる FPGA ハードウェアの変更があっても、アプリケーションソフトウェアへの投資が留保されることを意味します。プロセッサーアーキテクチャ再利用の大きな利点の1つは、製品再認証がより効率よくできることです。一貫性があり慣れたアーキテクチャを利用することで、企業は、再認証プロセスに関わる時間とコストを削減できます。このアプローチは、業界規格への準拠が可能であるほか、異なるハードウェアイタレーションの間の製品の信頼性とパフォーマンスを維持することにもなります。図 5 は、製品ライフサイクルに対する売上を示しています。

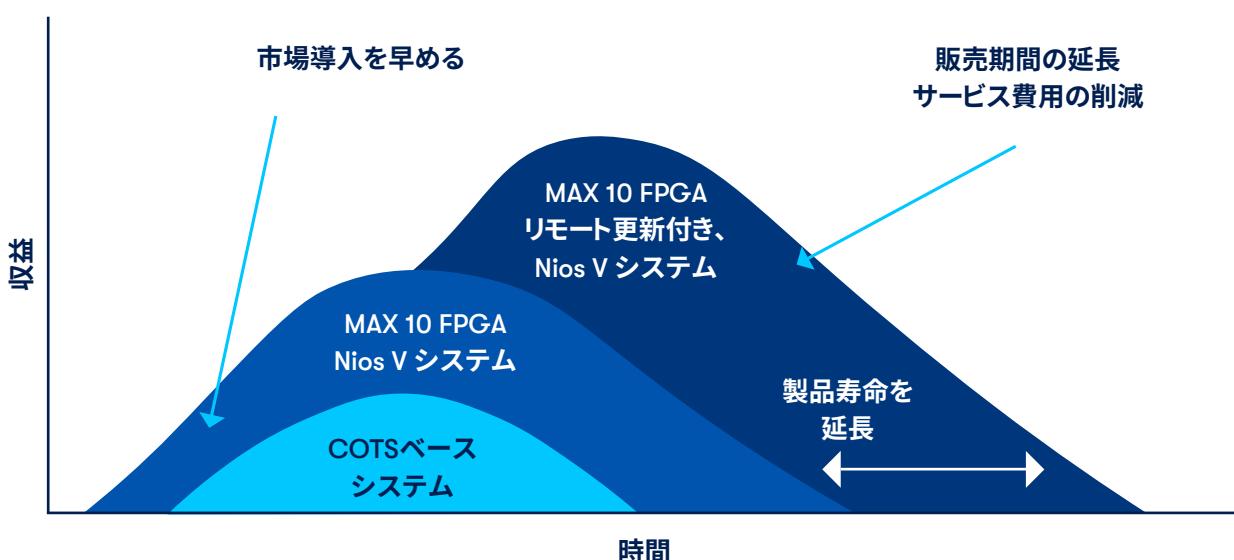


図 5. MAX® 10 FPGA with Nios® V プロセッサーを使ったエンド製品収益向上

Nios V プロセッサーシステムによる機能のアップグレードとカスタマイズ機能で、陳腐化リスクを解消、製品寿命を延長し、同製品の ROI を最

大化できます。これで、TCO が、固定関数と陳腐化リスクがある従来型 COTS プロセッサーよりずっと低く抑えられることになります。

おわりに

組込みプロジェクトにはますます、製品の差別化、市場導入スケジュールの早期化、およびプロセッサー・コンポーネントの陳腐化のリスクと課題への対処というプレッシャーがかかっています。シングルチップMAX 10 FPGAで使用されるNios Vプロセッサは、比類のないフレキシビリティ、統合、長寿命を提供し、従来のマイクロコントローラに代わる魅力的な選択肢を提供します。機能が固定されたCOTS プロセッサーとは違い、MAX 10 FPGA では、リアルタイムハードウェア再コンフィグレーション、機能アップグレード、およびAIによる最適化が可能であり、これらすべてがコンパクトで費用対効果および電力効率が高いデザインで実現できます。

業界をリードするツールチェーン、無償の Nios V プロセッサーライセンス、およびデバイスの長期供給性により、MAX 10 FPGA は組込みシステムにおいて将来を見据えたソリューションを提供します。設計者は、ハードウェアとソフトウェアのカスタマイズによる総所有コストの削減、陳腐化リスクの解消、およびシステムパフォーマンスの最大化で、競争力が得られます。MAX 10 FPGA を選択することで、組込み設計者は、マイクロコントローラーを置き換えるだけではなく、差別化および長期的な成功への新たな機会の門戸を開けることになります。

詳細情報

Altera および MAX 10 FPGA についての詳細は、[MAX 10 FPGA Web ページ](#)をご覧ください。

- [1] [Nios® V プロセッサー](#)
- [2] [tinyML* の Altera® FPGA での実装ホワイトペーパー](#)
- [3] [MAX® 10 FPGA 開発キット](#)
- [4] [MAX® 10 FPGA パートナーボード](#)
- [5] [SoC と組込み開発者設計およびシミュレーションツール](#)
- [6] [プラットフォームデザイナー – Altera のシステム統合ツール、Quartus Prime ソフトウェアの一部](#)
- [7] [FPGA 技術トレーニング \(クラス、eラーニング、クイックビデオ、ウェビナー/イベント\)](#)



アルテラのテクノロジーを使用するには、対応したハードウェア、ソフトウェア、またはサービスの有効化が必要となる場合があります。

絶対的なセキュリティを提供できる製品またはコンポーネントはありません。

実際のコストや結果は異なる場合があります。

© Altera Corporation Altera、Altera ロゴ、およびその他の Altera マークは、Altera Corporation またはその子会社の商標です。

*その他の社名、製品名などは、一般に各社の表示、商標または登録商標です。

WP-01255-1.4